

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hidekazu SATO, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **September 22, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 22, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-275758, filed September 20, 2002

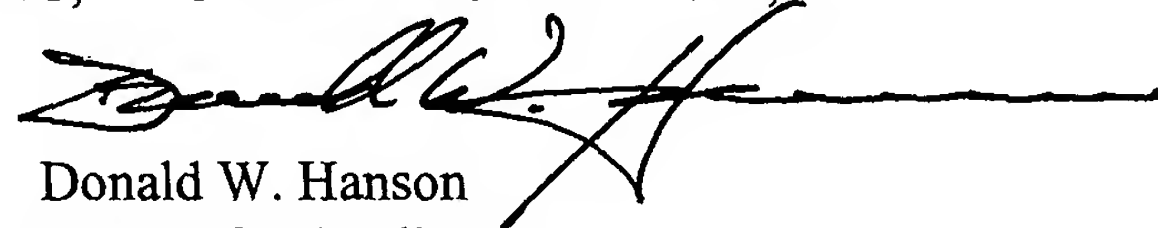
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **031179**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月20日

出 願 番 号
Application Number:

特願2002-275758

[ST.10/C]:

[JP2002-275758]

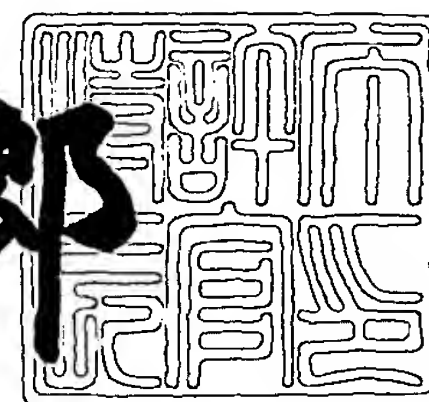
出 願 人
Applicant(s):

富士通株式会社

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036388

【書類名】 特許願

【整理番号】 0241241

【提出日】 平成14年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 豪一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 若林 利広

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

特 2 0 0 2 - 2 7 5 7 5 8

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 表面にコレクタが形成された半導体基板と、
前記半導体基板上に形成され、前記コレクタに整合する部分に開口部が形成された絶縁膜と、

前記絶縁膜上に形成された導電膜と、

前記開口部内に形成され、前記コレクタに接する部分が単結晶からなり、前記導電膜に接する部分が多結晶からなり、前記導電膜に接する部分の膜厚は、前記コレクタに接する部分の膜厚の 1 乃至 2 倍である半導体膜と、

前記半導体膜上に形成されたエミッタと、

を有することを特徴とする半導体装置。

【請求項 2】 表面にコレクタが形成された半導体基板と、

前記半導体基板上に形成され、前記コレクタに整合する部分に開口部が形成された絶縁膜と、

前記開口部内及び前記絶縁膜上に形成され、前記コレクタに接する部分が単結晶からなり、前記絶縁膜上の部分の膜厚が前記コレクタに接する部分の膜厚よりも厚い 1 層の膜からなる半導体膜と、

前記半導体膜の前記コレクタに接する部分上に形成されたエミッタと、

を有することを特徴とする半導体装置。

【請求項 3】 前記半導体膜は、非晶質の部分を含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体膜は、SiGe 混晶膜及び SiGeC 混晶膜からなる群から選択された少なくとも 1 種の膜からなることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 バイポーラトランジスタを備えた半導体装置の製造方法であって、

半導体基板の表面にコレクタを形成し、前記半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記絶縁膜及び前記導電膜に、前記コレクタの少なくとも一部を露出する開口部を形成する工程と、

非選択エピタキシャル成長により、前記開口部内に、前記コレクタ及び前記導電膜に接続される半導体膜を形成する工程と、

前記半導体膜上にエミッタを形成する工程と、

を有し、

前記半導体膜を形成する工程において、

前記半導体膜の前記コレクタに接する部分を単結晶とし、前記導電膜に接する部分を多結晶とし、

前記導電膜に接する部分の膜厚を、前記コレクタに接する部分の膜厚の 1 乃至 2 倍とすることを特徴とする半導体装置の製造方法。

【請求項 6】 前記半導体膜を形成する工程において、前記多結晶の成長速度を前記単結晶の成長速度の 1. 8 倍以下とすることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 バイポーラトランジスタを備えた半導体装置の製造方法であって、

半導体基板の表面にコレクタを形成する工程と、

前記半導体基板上に、前記コレクタに整合する部分に開口部が形成された絶縁膜を形成する工程と、

非選択エピタキシャル成長により、前記開口部内及び前記絶縁膜上に、前記コレクタに接する部分が単結晶からなるベースとして機能し、前記絶縁膜上の部分の膜厚が前記コレクタに接する部分の膜厚よりも厚い 1 層の膜からなる半導体膜を形成する工程と、

前記半導体膜の前記コレクタに接する部分上にエミッタを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記半導体膜を形成する工程において、前記半導体膜中に非晶質の部分を含有させることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記半導体膜として、S i G e 混晶膜及び S i G e C 混晶膜からなる群から選択された少なくとも 1 種の膜を形成することを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 0】 前記導電膜として、多結晶シリコン膜及びアルミニウム膜からなる群から選択された 1 種の膜を形成することを特徴とする請求項 5、6 又は 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、バイポーラトランジスタを備えた半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、バイポーラトランジスタの構成として、ベース引き出し層とコレクタとなる基板部位とが電氣的に直接接続したものが開発されている。

【0 0 0 3】

また、近年では、バイポーラトランジスタの更なる微細化及び高性能化の要請に応えるべく、ベースの材料に S i G e 及び／又は S i G e C を用い、非選択のエピタキシャル成長法によりこれを形成する手法が案出されている。

【0 0 0 4】

また、S i G e - H B T (ヘテロ接合バイポーラトランジスタ) の製造方法では、非選択エピタキシャル法にて、S i 基板上に S i G e エピタキシャル膜を成長させ、絶縁膜上に多結晶の S i G e を成長させる方法が一般的に採用されている。

【0 0 0 5】

【特許文献 1】

特開平 5 - 6 2 9 9 1 号公報

【特許文献 2】

特開平 1 0 - 1 2 5 6 9 1 号公報

【特許文献 3】

特開平 1 1 - 1 2 6 7 8 1 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、バイポーラトランジスタのベースを形成する際に、非選択エピタキシャル成長法を用いると、エミッタとの接続が不安定となり、トランジスタとして機能しないという深刻な問題が発生することがある。このような場合、信頼性が低下してしまう。

【0 0 0 7】

また、SiGe-HBTでは、絶縁膜上のSiGeはベース電極までの引き出し配線として使われるが、通常の成長条件においては、膜厚が不足し抵抗を低くできない。このため、ベース電極が形成される部分では、SiGe上にSi膜等によって積み増しを行うことにより、低抵抗化を図らなければならない。このため、製造工程が多くなってしまう。

【0 0 0 8】

本発明は、かかる問題点に鑑みてなされたものであって、非選択エピタキシャル法により半導体層を形成しても、エミッタとベースとを確実に接続して高い信頼性を確保することができる半導体装置及びその製造方法を提供することを第1の目的とし、少ない工程でベース抵抗が低いものを製造することができる半導体装置及びその製造方法を提供することを第2の目的とする。

【0 0 0 9】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、従来の製造方法では、ベース引き出し層の多結晶膜の膜厚と、ベース層の単結晶層の膜厚とを互いに独立して制御することが困難であるため、ベース引き出し層の多結晶膜の膜厚が厚くなりすぎていることが、ベースとエミッタとの接続が不安定となる原因となっていることを見出した。つまり、従来の方法では、図1に示すように、半導体基板101の表面にコレクタ102を形成し、その後、絶縁膜103及び多結晶シリコン膜106を形成し、これらにベース開口部を形成し、その内部にベース引き出し層を兼ねるベー

ス層 1 0 9 を形成しているが、このベース層 1 0 9 の側壁部の厚さ（壁面に垂直な方向の厚さ）が大きくなりすぎて、その後にサイドウォール 1 1 3 を形成する際に、その材料となる絶縁膜 1 1 3 a に十分な開口部が形成されず、ベース層 1 0 9 とエミッタ 1 1 4 とが接続されないのである。

【 0 0 1 0 】

本願発明者は、このような従来の技術の問題点の原因を見出した後、更に鋭意検討を重ねた結果、S i G e 等をベース層に使用し、これをエピタキシャル成長させる際に、成膜温度及びソースガス量等を調整することにより、ベース開口部内に成長させる半導体層の底部及び側部での成長速度を互いに独立して制御できることに想到した。

【 0 0 1 1 】

そして、本願発明者は、これらの見解に基づいて、以下に示す発明の諸態様に想到した。

【 0 0 1 2 】

本発明に係る第 1 の半導体装置の製造方法は、バイポーラトランジスタを備えた半導体装置の製造方法を対象とする。この製造方法では、先ず、半導体基板の表面にコレクタを形成し、前記半導体基板上に絶縁膜を形成した後、前記絶縁膜上に導電膜を形成する。但し、コレクタの形成と絶縁膜の形成は、どちらを先に行ってもよい。次に、前記絶縁膜及び前記導電膜に、前記コレクタの少なくとも一部を露出する開口部を形成し、非選択エピタキシャル成長により、前記開口部内に、前記コレクタ及び前記導電膜に接続される半導体膜を形成する。次いで、前記半導体膜上にエミッタを形成する。そして、前記半導体膜を形成する際に、前記半導体膜の前記コレクタに接する部分を単結晶とし、前記導電膜に接する部分を多結晶とし、前記導電膜に接する部分の膜厚を、前記コレクタに接する部分の膜厚の 1 乃至 2 倍とする。

【 0 0 1 3 】

本発明に係る第 2 の半導体装置の製造方法は、バイポーラトランジスタを備えた半導体装置の製造方法を対象とする。この製造方法では、先ず、半導体基板の表面にコレクタを形成し、前記半導体基板上に、前記コレクタに整合する部分に

開口部が形成された絶縁膜を形成する。次に、非選択エピタキシャル成長により、前記開口部内及び前記絶縁膜上に、前記コレクタに接する部分が単結晶からなるベースとして機能し、前記絶縁膜上の部分の膜厚が前記コレクタに接する部分の膜厚よりも厚い1層の膜からなる半導体膜を形成し、前記半導体膜の前記コレクタに接する部分上にエミッタを形成する。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置及びその製造方法について添付の図面を参照して具体的に説明する。

【 0 0 1 5 】

ー 本発明の基本的原理 ー

先ず、本発明の基本的原理について説明する。非選択エピタキシャル成長法とは、S i 基板等の単結晶半導体基板に、その表面が露出する領域と、絶縁膜等を用いてその表面が露出しない領域とを予め設けておき、半導体基板の表面が露出している領域に、半導体基板の結晶情報をもとに単結晶の膜を成長させ、半導体基板の表面が露出していない領域に、多結晶又は非晶質の膜を成長させる方法という。

【 0 0 1 6 】

これに対して、選択エピタキシャル成長法とは、S i 基板等の単結晶半導体基板の表面が露出している領域のみに、単結晶の膜を成長させ、半導体基板の表面が露出していない領域には膜を成長させない方法という。

【 0 0 1 7 】

ここで、本発明が対象とする非選択エピタキシャル成長の条件に関し、S i 基板等の半導体基板が露出していない領域において、多結晶の膜が成長する条件と、非晶質の膜が成長する条件との違いについて説明する。ここでは、便宜的に、単結晶のS i 基板上にS i 膜を非選択エピタキシャル成長法により成長させる方法を例に挙げて、説明する。

【 0 0 1 8 】

結晶情報の全くない絶縁膜（非晶質）上に多結晶膜が成長する場合、先ず、結

晶情報の核となる結晶核が絶縁膜上に形成される。その後、この結晶核をもとにして多数の結晶粒が形成され、多結晶膜が成長する。結晶核が形成されるメカニズムは明らかではないが、結晶核が成長するには、堆積種が絶縁膜上に飛来した後、絶縁膜上を十分にマイグレーションする必要がある。

【0019】

これに対して、結晶情報のない絶縁膜（非晶質）上に非晶質膜が成長する場合には、非晶質膜は無秩序に成長するため、結晶核の形成は必要とされない。このため、堆積種は絶縁膜上でマイグレーションも脱離もすることなく、成長を重ねていくことになる。

【0020】

一般に、熱CVD（Chemical Vapor Deposition）法における結晶成長の律速段階は、反応律速及び供給律速の2つに分類される。

【0021】

そして、反応律速下において、多結晶膜を成長させる場合には、成長温度を上げればよく、非晶質膜を成長させる場合には、成長温度を下げればよい。

【0022】

一方、供給律速条件下では、原料の量を制御することで、多結晶膜又は非晶質膜のいずれを成長させるかを選択することができる。具体的には、多結晶膜を成長させる場合には、原料であるSiの量を低下させ、非晶質膜を成長させる場合には、Siの量を増加させればよい。例えば、多結晶膜を成長させる場合には、原料として SiH_4 を使用し、非晶質膜を成長させる場合には、 Si_2H_6 を使用すればよい。

【0023】

但し、非選択エピタキシャル成長においては、Si基板上には単結晶膜を成長させることを前提としているので、単独で多結晶膜又は非晶質膜を絶縁膜上に成長させるのとは比べて、その成長条件の範囲は制限されることになる。

【0024】

上記の説明では、Siの非選択エピタキシャル成長を例に挙げているが、SiGe系混晶の場合も、ほぼ同様の方法で、多結晶膜と非晶質膜とを選択して成長

させることが可能である。但し、 SiGe の場合には、 Si に Ge を添加することで、結晶化する温度が低下することが一般に知られており、多結晶化する温度及びガス圧の条件は、 Si の非選択エピタキシャル成長とでは、厳密には異なる。

【 0 0 2 5 】

また、一般に、バッチ式成長装置においては、炉内ポジションでの膜厚均一性の観点から反応律速の条件下で成長が行われる場合が多い。一方、枚葉式成長装置においては、スループットの観点から、供給律速の条件下で成長が行われる場合が多い。

【 0 0 2 6 】

ここで、非選択エピタキシャル成長法では、反応律速条件下において、エピタキシャル膜（単結晶膜）と非晶質膜とを同時に形成することは、原理的に難しい。一方、供給律速条件下においては、成長条件を選択することによってエピタキシャル膜（単結晶膜）と非晶質膜とを同時に形成することが可能である。従って、本発明は、供給律速条件下で、非選択エピタキシャル成長法により、エピタキシャル膜（単結晶膜）と多結晶膜又は非晶質膜とを同時に成長する場合に、その効果を発揮する。

【 0 0 2 7 】

SiGe-HBT では、ベース層を SiGe 混晶で形成する。このとき、ベース層はバンドギャップを連続して変えて電子のベース層中の走行スピードを加速する目的で、図2（a）及び（b）に示すように、 Ge 濃度に傾斜を持たせるように設計する場合が多い。

【 0 0 2 8 】

ベース層の Ge 濃度に傾斜をもたせる際の SiH_4 ガス及び GeH_4 ガスの制御は、一般には、CVD薄膜装置のガス供給部からの Ge 原料ガスと Si 原料ガスの流量比を制御することによって行われる。

【 0 0 2 9 】

このようなベース層の形成が行われている中で、本願発明者は、前述のように、鋭意検討の結果、非選択エピタキシャル成長にて、ベース層となる SiGe エ

ピタキシャル膜（単結晶膜）を形成すると同時に、絶縁膜上に多結晶膜又は非晶質膜を形成する場合に、ベース層となる SiGe エピタキシャル膜の Ge プロファイル、成長温度、ソースガス流量等の条件を制御することによって、絶縁膜上に形成される膜の成長速度及び膜質（多結晶又は非晶質）を、エピタキシャル膜の成長速度及び膜質とは独立して制御することが可能であることを見出した。

【 0 0 3 0 】

図 3 は、エピタキシャル膜の成長温度を変化させたときの、エピタキシャル膜の Ge 濃度と成長速度の比との関係を示すグラフであり、図 4 は、 SiH_4 の流量を変化させたときの、エピタキシャル膜の Ge 濃度と成長速度の比との関係を示すグラフである。ここで、図 3 及び図 4 における成長速度の比とは、多結晶膜又は非晶質膜の成長速度とエピタキシャル膜の成長速度との比を示し、いずれの図においても、エピタキシャル膜の Ge 濃度が変化するように GeH_4 流量を変化させている。また、図 3 及び図 4 中の破線より上側では多結晶膜及び非晶質膜が成長し、下側では多結晶膜のみが成長した。

【 0 0 3 1 】

図 3 及び図 4 から分かるように、成長温度又はソースガス（ SiH_4 ）量を変化させることによって、多結晶膜又は非晶質膜の成長速度を独立して変化させることが可能である。特に、非晶質膜が成長する場合には、エピタキシャル膜の成長速度に対する成長速度比を大きくとることができることが分かる。なお、エピタキシャル膜は、図 3 及び図 4 に示す範囲内では、単結晶として成長した。

【 0 0 3 2 】

即ち、図 3 に示すように、成長温度が低下するほど、堆積種の脱離が抑制されると共に、吸着反応が促進され、絶縁膜上の多結晶膜又は非晶質膜の成長速度が増大した。また、図 4 に示すように、ソースガス（ SiH_4 ）流量が増加するほど、堆積種の脱離が抑制されると共に、吸着反応が促進され、絶縁膜上の多結晶膜又は非晶質膜の成長速度が増大した。また、図 3 及び図 4 によれば、多結晶の成長速度を単結晶の成長速度の 1.8 倍以下とすることにより、非晶質の部分を成長させずに多結晶膜を成長させることが可能である。

【 0 0 3 3 】

本願発明は、このような鋭意研究及び実験結果に基づいてなされたものであり、半導体基板上にベース、エミッタ及びコレクタが形成されたバイポーラトランジスタを備える半導体装置を対象とする。

【 0 0 3 4 】

ー本発明の具体的な実施形態ー

次に、本発明の具体的な実施形態について添付の図面を参照して説明する。

【 0 0 3 5 】

(第 1 の実施形態)

まず、本発明の第 1 の実施形態について説明する。第 1 の実施形態では、n p n 型のバイポーラトランジスタを例示し、便宜上、その構成を製造方法とともに説明する。図 5 乃至図 1 6 は、本発明の第 1 の実施形態に係るバイポーラトランジスタ（半導体装置）の製造方法を工程順に示す断面図である。

【 0 0 3 6 】

このバイポーラトランジスタを製造するには、まず、図 5 に示すように、p 型のシリコン基板等の半導体基板 1 の表層のコレクタを形成する予定の領域に、n 型不純物、ここではリンをドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 3 0 0 k e V の条件でイオン注入し、 n^+ 拡散領域 2 を形成する。この n^+ 拡散領域 2 がコレクタとして機能することになる。

【 0 0 3 7 】

続いて、いわゆる LOCOS 法により半導体基板 1 の素子分離領域にフィールド酸化膜 3 を形成することにより、活性領域 4 を区画する。

【 0 0 3 8 】

その後、図 6 に示すように、CVD 法により全面にシリコン酸化膜 5 を形成する。シリコン酸化膜 5 の厚さは、例えば 3 0 n m ~ 1 0 0 n m とする。なお、 n^+ 拡散領域 2 を形成する前に、フィールド酸化膜 3 及びシリコン酸化膜 5 を形成してもよい。

【 0 0 3 9 】

次に、図 7 に示すように、シリコン酸化膜 5 の上に、例えば CVD 法により多結晶シリコン膜 6 を形成した後、更にその上に、例えば CVD 法によりシリコン

酸化膜 7 を形成する。シリコン酸化膜 7 の厚さは、例えば 3 0 0 n m ~ 7 0 0 n m とする。

【 0 0 4 0 】

続いて、図 8 に示すように、フォトリソグラフィ及びそれに続くドライエッチングにより、シリコン酸化膜 5、多結晶シリコン膜 6 及びシリコン酸化膜 7 からなる多層膜のベースを形成すべき領域を加工し、 n^+ 拡散領域 2 の表面の一部を露出させるベース開口部 8 をパターン形成する。多結晶シリコン膜 6 は、後の工程で形成されるベース層の引き出し層となる。

【 0 0 4 1 】

その後、図 9 に示すように、減圧式の非選択エピタキシャル成長法により、ベース開口部 8 の内壁を覆うようにシリコン酸化膜 7 の全面に半導体膜、ここでは Si Ge 膜 9 を成長させて形成する。Si Ge 膜 9 の厚さは、例えば 8 0 n m 程度とする。

【 0 0 4 2 】

このときの成膜条件としては、図 3 及び図 4 に基づいて、ベース開口部 8 内において、露出した n^+ 拡散領域 2 の表面を覆う底部 9 a が単結晶からなり、側壁部 9 b 等のその他の部位が多結晶となると共に、側壁部 9 b の膜厚が底部 9 a の膜厚の 1.5 倍以下になる成膜条件を選択する。即ち、図 3 及び図 4 中の破線よりも下側の条件を選択する。ここで、側壁部 9 b の膜厚とは、半導体基板 1 の表面に対して垂直な方向における厚さではなく、ベース開口部 8 の側面に対して垂直な方向における厚さをいう。

【 0 0 4 3 】

このような非選択エピタキシャル成長による成膜の条件の一例を以下に示す。例えば、減圧 C V D 法の場合には、原料ガスとして、モノシラン (SiH_4)、水素 (H_2)、ジボラン (B_2H_6) 及びゲルマン (GeH_4) を用いる。このとき、 SiH_4 及び H_2 の各流量は、例えば、夫々 2 0 s c c m、2 0 s l m とする。また、Si Ge 膜 9 中の Ge 濃度を 1 5 原子% とする場合には、例えば、成膜雰囲気圧力を $1.067 \times 10^4 \text{ Pa}$ (8 0 T o r r)、成長温度を 6 5 0 °C、単結晶からなる底部 9 a の成長速度を 1 0 n m / 分と設定する。このとき、ジボ

ランの流量は、例えば SiGe 膜 9 中のホウ素濃度が 7×10^{19} 個 / cm^3 程度となるように、75 sccm に設定し、ゲルマニウムの流量は、例えば 35 sccm に設定する。

【 0 0 4 4 】

なお、上記の例では、底部 9 a の成長速度を 10 nm / 分としているが、成長速度は、SiGe 膜 9 中の Ge 含有量 (Ge 濃度) に応じて適宜選択することが望ましい。

【 0 0 4 5 】

また、上記の例では、SiGe 膜 9 を成膜しているが、この膜の替わりに SiGeC 膜の単層膜又は SiGeC 膜及び SiGe 膜の積層膜を成膜してもよい。SiGeC 膜を成膜する場合には、原料ガスとして、更にモノメチルシラン (SiH_3CH_3) を用いればよい。なお、積層膜を成膜する場合には、SiGe 膜上に SiGeC 膜を形成することが好ましい。更に、SiGe 膜 9 等の他に、所定の下地膜を介して GaAs 膜又は InP 膜等を形成してもよい。

【 0 0 4 6 】

SiGe 膜 9 を成膜した後は、図 10 に示すように、ベース開口部 8 内を埋め込む膜厚で、全面にマスク材となるフォトレジスト 11 を塗布する。

【 0 0 4 7 】

次に、図 11 に示すように、フォトレジスト 11 の全面を異方性エッチングすることにより、ベース開口部 8 の所定深さのみにフォトレジスト 11 を残す。

【 0 0 4 8 】

次いで、図 12 に示すように、フォトレジスト 11 をマスクとして SiGe 膜 9 を異方性ドライエッチングすることにより、ベース開口部 9 内のみに SiGe 膜 9 をフォトレジスト 11 と同程度の深さで残存させ、SiGe 膜 9 の他の部位を除去する。つまり、SiGe 膜 9 のうち、底部 9 a 及び側壁部 9 b のみを残存させる。この結果、単結晶からなる平坦な底部 9 a と、この底部 9 a に対して垂直で多結晶からなる側壁部 9 b とが一体化されてなるベース 12 が形成される。このベース 12 は、パターニングによって多結晶シリコン膜 6 から形成されたベース引き出し層 10 に、側壁部 9 b によって電氣的に接続されることとなる。

【 0 0 4 9 】

そして、図 1 3 に示すように、フォトレジスト 1 1 を灰化处理等により除去する。

【 0 0 5 0 】

続いて、図 1 4 に示すように、CVD 法により全面にシリコン酸化膜を堆積し、その全面を異方性エッチング（エッチバック）することにより、ベース 1 2 の底部 9 a の中央部位の表面を露出させ、底部 9 a の周辺部位、側壁部 9 b 及びシリコン酸化膜 7 の側面を覆うサイドウォール 1 3 を形成する。このサイドウォール 1 3 の形状は、例えばベース 1 2 のベース開口部 8 の部位をテーパ状に開口する形状である。

【 0 0 5 1 】

その後、図 1 5 に示すように、CVD 法により全面に n 型多結晶シリコン膜又はアモルファスシリコン膜を堆積し、これをフォトリソグラフィ及びそれに続くドライエッチングにより加工して、その底部でベース 1 2 の底部 9 a と接続されるエミッタ 1 4 を形成する。このとき、n 型多結晶シリコン膜又はアモルファスシリコン膜を堆積する際の熱の作用及びその後の熱処理により、その中に含有された n 型不純物の一部がベース 1 2 の底部 9 a の表層に拡散し、浅い接合 1 5 が形成される。これにより、ベース 1 2 とエミッタ 1 4 との間のより確実な接続がなされることになる。

【 0 0 5 2 】

しかる後、図 1 6 に示すように、層間絶縁膜 1 6 の形成、コンタクトホール 1 7 の形成、コレクタ電極 1 8 c、エミッタ電極 1 8 e 及びベース電極 1 8 b の形成、並びに配線層（図示せず）の形成等を経て、本実施形態のバイポーラトランジスタを完成させる。

【 0 0 5 3 】

以上説明したように、本実施形態によれば、SiGe 膜 9 の成膜に際して、成膜条件を制御することによって、側壁部 9 b の膜厚を底部 9 a の膜厚の 1.5 倍程度にしているため、例えばベース開口部 8 の幅又はサイドウォール 1 3 の膜厚にばらつきが生じたとしても、ベースとエミッタとの間の電氣的な接続を確実に確

保することが可能である。この結果、駆動速度や高周波特性等のトランジスタ特性を向上させ、エミッタの更なる縮小化を図ることが可能となり、信頼性の高いバイポーラトランジスタを実現することができる。

【 0 0 5 4 】

なお、側壁部 9 b の膜厚を底部 9 a の膜厚の 1 倍未満とすると、側壁部 9 b における抵抗が高くなり、トランジスタ特性が低下してしまう。一方、側壁部 9 b の膜厚を底部 9 a の膜厚の 2 倍を超えるものとする、ベース開口部 8 の幅が狭くなり、ベースとエミッタとが接続されないことがある。従って、第 1 の実施形態では、側壁部 9 b の膜厚を底部 9 a の膜厚の 1 倍乃至 2 倍、例えば 1.5 倍とすることが必要である。

【 0 0 5 5 】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。第 2 の実施形態では、n p n 型のバイポーラトランジスタを例示し、便宜上、その構成を製造方法とともに説明する。図 1 7 乃至図 2 1 は、本発明の第 2 の実施形態に係るバイポーラトランジスタ（半導体装置）の製造方法を工程順に示す断面図である。

【 0 0 5 6 】

このバイポーラトランジスタを製造するには、先ず、図 1 7 に示すように、p 型のシリコン基板等の半導体基板 1 の表層のコレクタを形成する予定の領域に、n 型不純物、ここではリンをドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 300 keV の条件でイオン注入し、 n^+ 拡散領域 2 を形成する。この n^+ 拡散領域 2 がコレクタとして機能することになる。なお、イオン注入を行う領域は、例えば素子活性領域を設ける予定の領域である。

【 0 0 5 7 】

続いて、いわゆる LOCOS 法により半導体基板 1 の素子分離領域にフィールド酸化膜 3 を形成することにより、活性領域 4 を区画する。本実施形態では、フィールド酸化膜 3 の開口部が、ベース開口部 8 となる。

【 0 0 5 8 】

その後、図 1 8 に示すように、減圧式の非選択エピタキシャル成長法により、

ベース開口部 8 内及びフィールド酸化膜 3 の全面に半導体膜、ここでは S i G e 膜 9 を成長させて形成する。

【 0 0 5 9 】

このときの成膜条件としては、図 3 及び図 4 に基づいて、ベース開口部 8 内において、露出した n^+ 拡散領域 2 の表面を覆う底部 9 a が単結晶からなり、その他の部位が多結晶及び非晶質となると共に、フィールド絶縁膜 3 上の部位の膜厚が底部 9 a の膜厚の 2 倍以上になる成膜条件を選択する。即ち、図 3 及び図 4 中の破線よりも上側の条件を含むように条件を選択する。本実施形態においては、底部 9 a がベースとして機能し、その他の部位がベース引き出し層として機能する。

【 0 0 6 0 】

なお、S i G e 膜 9 の非晶質の部分は、その後の熱処理により多結晶化するため、S i G e 膜 9 の底部 9 a 以外の部分は、S i G e 膜 9 の成膜直後では多結晶の部分と非晶質の部分とが存在していても、最終的には多結晶膜の 1 層から構成される。

【 0 0 6 1 】

このような非選択エピタキシャル成長による成膜の条件の一例を以下に示す。例えば、減圧 C V D 法の場合には、原料ガスに、モノシラン (S i H₄)、水素 (H₂)、ジボラン (B₂H₆) 及びゲルマン (G e H₄) を用いる。このとき、S i H₄ 及び H₂ の各流量は、例えば、夫々 2 0 0 s c c m、2 0 s l m とする。また、S i G e 膜 9 中の G e 濃度を 1 5 原子% とする場合には、例えば、成膜雰囲気圧力を 1.067×10^4 P a (8 0 T o r r)、成長温度を 6 0 0 °C、単結晶からなる底部 9 a の成長速度を 1 0 n m / 分と設定する。このとき、ジボランの流量は、例えば S i G e 膜 9 中のホウ素濃度が 7×10^{19} 個 / c m³ 程度となるように、2 0 0 s c c m に設定し、ゲルマンの流量は、例えば 1 6 0 s c c m に設定する。

【 0 0 6 2 】

なお、上記の例では、底部 9 a の成長速度を 1 0 n m / 分としているが、成長速度は、S i G e 膜 9 中の G e 含有量 (G e 濃度) に応じて適宜選択することが

望ましい。

【 0 0 6 3 】

また、上記の例では、SiGe膜9を成膜しているが、第1の実施形態と同様に、この膜の代わりにSiGeC膜の単層膜又はSiGeC膜及びSiGe膜の積層膜を成膜してもよい。SiGeC膜を成膜する場合には、原料ガスとして、更にモノメチルシラン (SiH_3CH_3) を用いればよい。なお、積層膜を成膜する場合には、SiGe膜上にSiGeC膜を形成することが好ましい。更に、SiGe膜9等の他に、所定の下地膜を介してGaAs膜又はInP膜等を形成してもよい。

【 0 0 6 4 】

SiGe膜9を成膜した後は、図19に示すように、CVD法により全面にシリコン酸化膜13aを堆積し、フォトリソグラフィ技術によるパターニング後、その開口部を異方性エッチング（エッチバック）することにより、底部9aの中央部位の表面を露出させ、SiGe膜9のそれ以外の部位を覆うサイドウォール13を形成する。このサイドウォール13の形状は、例えば底部9aのベース開口部8の部位をテーパ状に開口する形状である。

【 0 0 6 5 】

続いて、図20に示すように、CVD法により全面にn型多結晶シリコン膜又はアモルファスシリコン膜を堆積し、これをフォトリソグラフィ及びそれに続くドライエッチングにより加工して、その底部で底部9aと接続されるエミッタ14を形成する。このとき、n型多結晶シリコン膜又はアモルファスシリコン膜を堆積する際の熱の作用及びその後の熱処理により、その中に含有されたn型不純物の一部が底部9aの表層に拡散し、浅い接合15が形成される。これにより、ベースとして機能する底部9aとエミッタ14との間のより確実な接続がなされることになる。

【 0 0 6 6 】

しかる後、図21に示すように、層間絶縁膜16の形成、コンタクトホール17の形成、コレクタ電極18c、エミッタ電極18e及びベース電極18bの形成、並びに配線層（図示せず）の形成等を経て、本実施形態のバイポーラトラン

ジスタを完成させる。

【 0 0 6 7 】

従来の SiGe-HBT の製造方法では、前述のように、非選択エピタキシャル成長により成膜した膜のみでは、ベース引き出し層として機能する多結晶膜の膜厚が不足するため、多結晶膜を成長させ、ベースとして機能する単結晶膜を成長させる領域を開口した後に、非選択エピタキシャル成長によって、単結晶ベース層を形成すると同時に、ベース引き出し層として機能する多結晶膜を積層することを行っている。

【 0 0 6 8 】

これに対し、本実施形態によれば、図 1 8 に示すように、一度の非選択エピタキシャル成長で、ベースとして機能する単結晶からなる底部 9 a とベース引き出し層として機能する多結晶膜とを成膜できる。このため、少なくとも多結晶膜の成長及びフォトリソグラフィの 3 工程（フォトレジストの形成、パターニング及びフォトレジストの除去）を短縮したうえで、従来と同等の信頼性の高いバイポーラトランジスタを実現させることができる。

【 0 0 6 9 】

なお、第 1 及び第 2 の実施形態では、npn 型のバイポーラトランジスタを例示しているが、本発明はこれに限定されるものではなく、上記で説明した n 型及び p 型の構成部位を全て逆導電型に形成し、pnp 型のバイポーラトランジスタを実現することもできる。更には、本発明の製造方法を用いて、ベース膜厚の薄い高速トランジスタを備えた低消費電力の Bi-CMOS トランジスタ及びバイポーラ IC を実現することも可能である。

また、第 1 の実施形態においては、多結晶シリコン膜 6 の代わりにアルミニウム膜を成膜してもよい。更に、第 1 及び第 2 の実施形態のいずれにおいても、シリコン酸化膜 7 又は 1 3 a の代わりにシリコン窒化膜を成膜してもよい。

【 0 0 7 0 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 0 7 1 】

（付記 1） 表面にコレクタが形成された半導体基板と、

前記半導体基板上に形成され、前記コレクタに整合する部分に開口部が形成された絶縁膜と、

前記絶縁膜上に形成された導電膜と、

前記開口部内に形成され、前記コレクタに接する部分が単結晶からなり、前記導電膜に接する部分が多結晶からなり、前記導電膜に接する部分の膜厚は、前記コレクタに接する部分の膜厚の 1 乃至 2 倍である半導体膜と、

前記半導体膜上に形成されたエミッタと、

を有することを特徴とする半導体装置。

【 0 0 7 2 】

(付記 2) 表面にコレクタが形成された半導体基板と、

前記半導体基板上に形成され、前記コレクタに整合する部分に開口部が形成された絶縁膜と、

前記開口部内及び前記絶縁膜上に形成され、前記コレクタに接する部分が単結晶からなり、前記絶縁膜上の部分の膜厚が前記コレクタに接する部分の膜厚よりも厚い 1 層の膜からなる半導体膜と、

前記半導体膜の前記コレクタに接する部分上に形成されたエミッタと、

を有することを特徴とする半導体装置。

【 0 0 7 3 】

(付記 3) 前記半導体膜は、非晶質の部分を含むことを特徴とする付記 2 に記載の半導体装置。

【 0 0 7 4 】

(付記 4) 前記半導体膜は、SiGe 混晶膜及び SiGeC 混晶膜からなる群から選択された少なくとも 1 種の膜からなることを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【 0 0 7 5 】

(付記 5) 前記導電膜は、多結晶シリコン膜及びアルミニウム膜からなる群から選択された 1 種の膜であることを特徴とする付記 1 又は 4 に記載の半導体装置。

【 0 0 7 6 】

(付記 6) 前記絶縁膜は、シリコン酸化膜であることを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【 0 0 7 7 】

(付記 7) 前記導電膜と前記エミッタとの間を絶縁する第 2 の絶縁膜を有することを特徴とする付記 1、4、5 又は 6 に記載の半導体装置。

【 0 0 7 8 】

(付記 8) 前記半導体膜の前記絶縁膜上の部分と前記エミッタとの間を絶縁する第 2 の絶縁膜を有することを特徴とする付記 2 乃至 6 のいずれか 1 項に記載の半導体装置。

【 0 0 7 9 】

(付記 9) 前記第 2 の絶縁膜は、シリコン酸化膜及びシリコン窒化膜からなる群から選択された 1 種の膜であることを特徴とする付記 7 又は 8 に記載の半導体装置。

【 0 0 8 0 】

(付記 10) バイポーラトランジスタを備えた半導体装置の製造方法であって、

半導体基板の表面にコレクタを形成し、前記半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記絶縁膜及び前記導電膜に、前記コレクタの少なくとも一部を露出する開口部を形成する工程と、

非選択エピタキシャル成長により、前記開口部内に、前記コレクタ及び前記導電膜に接続される半導体膜を形成する工程と、

前記半導体膜上にエミッタを形成する工程と、

を有し、

前記半導体膜を形成する工程において、

前記半導体膜の前記コレクタに接する部分を単結晶とし、前記導電膜に接する部分を多結晶とし、

前記導電膜に接する部分の膜厚を、前記コレクタに接する部分の膜厚の 1 乃至

2 倍とすることを特徴とする半導体装置の製造方法。

【 0 0 8 1 】

(付記 1 1) 前記半導体膜を形成する工程において、前記多結晶の成長速度を前記単結晶の成長速度の 1. 8 倍以下とすることを特徴とする付記 1 0 に記載の半導体装置の製造方法。

【 0 0 8 2 】

(付記 1 2) バイポーラトランジスタを備えた半導体装置の製造方法であって、

半導体基板の表面にコレクタを形成する工程と、

前記半導体基板上に、前記コレクタに整合する部分に開口部が形成された絶縁膜を形成する工程と、

非選択エピタキシャル成長により、前記開口部内及び前記絶縁膜上に、前記コレクタに接する部分が単結晶からなるベースとして機能し、前記絶縁膜上の部分の膜厚が前記コレクタに接する部分の膜厚よりも厚い 1 層の膜からなる半導体膜を形成する工程と、

前記半導体膜の前記コレクタに接する部分上にエミッタを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【 0 0 8 3 】

(付記 1 3) 前記半導体膜を形成する工程において、前記半導体膜中に非晶質の部分を含有させることを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【 0 0 8 4 】

(付記 1 4) 前記半導体膜として、SiGe 混晶膜及び SiGeC 混晶膜からなる群から選択された少なくとも 1 種の膜を形成することを特徴とする付記 1 0 乃至 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 5 】

(付記 1 5) 前記導電膜として、多結晶シリコン膜及びアルミニウム膜からなる群から選択された 1 種の膜を形成することを特徴とする付記 1 0、1 1 又は 1 4 に記載の半導体装置の製造方法。

【0086】

(付記16) 前記絶縁膜として、シリコン酸化膜を形成することを特徴とする付記10乃至15のいずれか1項に記載の半導体装置の製造方法。

【0087】

(付記17) 前記導電膜と前記エミッタとの間を絶縁する第2の絶縁膜を形成する工程を有することを特徴とする付記10、11、14、15又は16に記載の半導体装置の製造方法。

【0088】

(付記18) 前記半導体膜の前記絶縁膜上の部分と前記エミッタとの間を絶縁する第2の絶縁膜を形成する工程を有することを特徴とする付記12乃至16のいずれか1項に記載の半導体装置の製造方法。

【0089】

(付記19) 前記第2の絶縁膜として、シリコン酸化膜及びシリコン窒化膜からなる群から選択された1種の膜を形成することを特徴とする付記17又は18に記載の半導体装置の製造方法。

【0090】

【発明の効果】

以上詳述したように、本発明によれば、半導体膜に関し、コレクタに接する部分を単結晶とし、導電膜に接する部分を多結晶とすると共に、導電膜に接する部分の膜厚をコレクタに接する部分の膜厚の1乃至2倍とすることにより、基板の種類が変わってベースの形状や面積に変化が生じて、ベースとエミッタとの間の接続を確実に確保することができる。従って、トランジスタ特性を安定化させ、特性のばらつきを低減することができる。

【0091】

また、同じく半導体膜に関し、コレクタに接する部分を単結晶とし、絶縁膜上の部分の膜厚をコレクタに接する部分の膜厚よりも厚い1層の膜から構成することにより、ベース引き出し層における抵抗を低く抑えながら製造工程数を低減させることができる。

【図面の簡単な説明】

【図 1】

従来のバイポーラトランジスタを備えた半導体装置を示す断面図である。

【図 2】

バイポーラトランジスタ中の位置とエネルギー及び Ge 濃度との関係を示すグラフである。

【図 3】

エピタキシャル膜の成長温度を変化させたときの、エピタキシャル膜の Ge 濃度と成長速度の比との関係を示すグラフである。

【図 4】

SiH₄ の流量を変化させたときの、エピタキシャル膜の Ge 濃度と成長速度の比との関係を示すグラフである。

【図 5】

本発明の第 1 の実施形態に係るバイポーラトランジスタ（半導体装置）の製造方法を示す断面図である。

【図 6】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 5 に示す工程の次工程を示す図である。

【図 7】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 6 に示す工程の次工程を示す図である。

【図 8】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 7 に示す工程の次工程を示す図である。

【図 9】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 8 に示す工程の次工程を示す図である。

【図 10】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 9 に示す工程の次工程を示す図である。

【図 1 1】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 0 に示す工程の次工程を示す図である。

【図 1 2】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 1 に示す工程の次工程を示す図である。

【図 1 3】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 2 に示す工程の次工程を示す図である。

【図 1 4】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 3 に示す工程の次工程を示す図である。

【図 1 5】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 4 に示す工程の次工程を示す図である。

【図 1 6】

同じく、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 5 に示す工程の次工程を示す図である。

【図 1 7】

本発明の第 2 の実施形態に係るバイポーラトランジスタ（半導体装置）の製造方法を示す断面図である。

【図 1 8】

同じく、本発明の第 2 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 7 に示す工程の次工程を示す図である。

【図 1 9】

同じく、本発明の第 2 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 1 8 に示す工程の次工程を示す図である。

【図 2 0】

同じく、本発明の第 2 の実施形態に係るバイポーラトランジスタの製造方法を

示す断面図であり、図 1 9 に示す工程の次工程を示す図である。

【図 2 1】

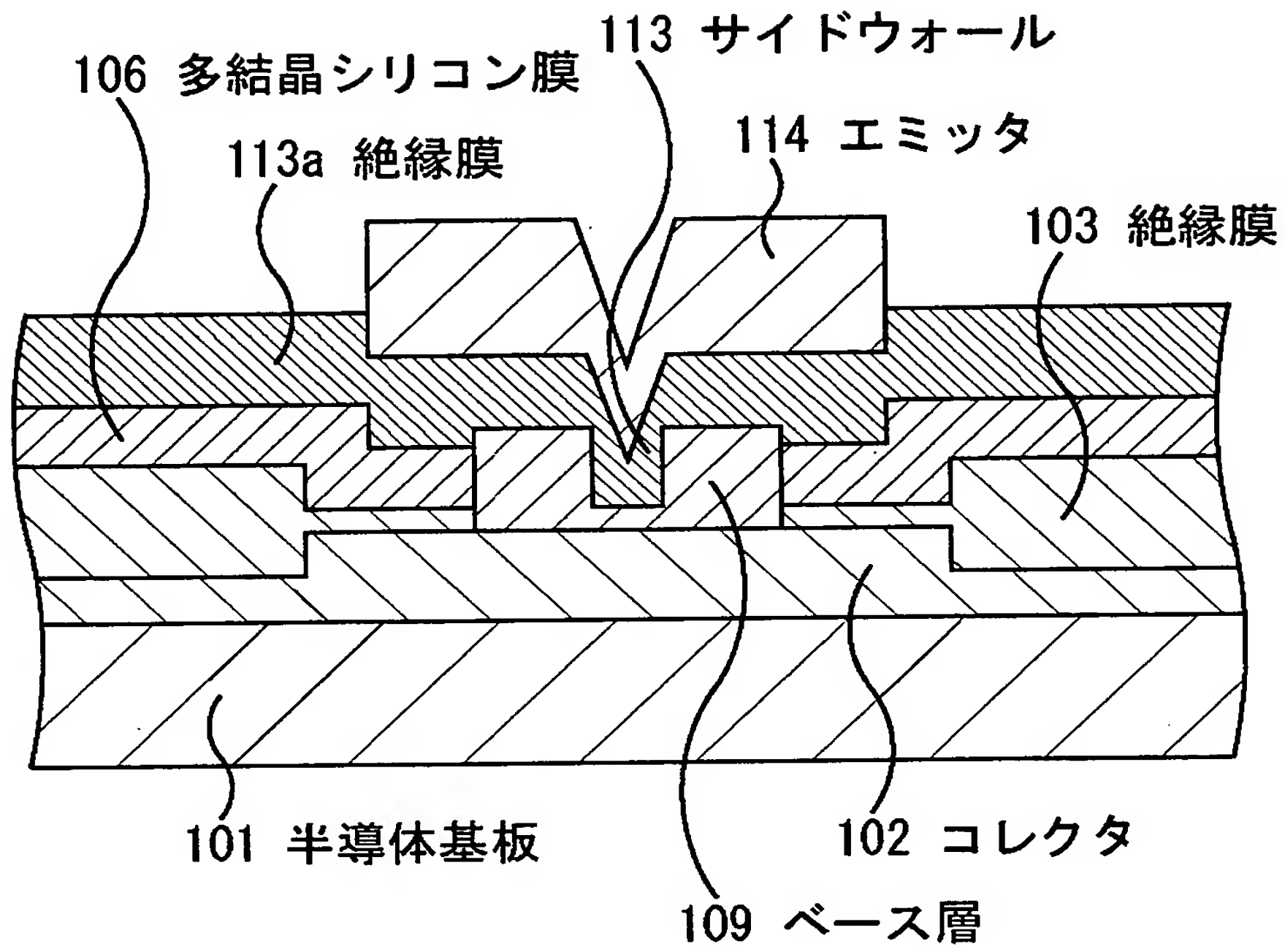
同じく、本発明の第 2 の実施形態に係るバイポーラトランジスタの製造方法を示す断面図であり、図 2 0 に示す工程の次工程を示す図である。

【符号の説明】

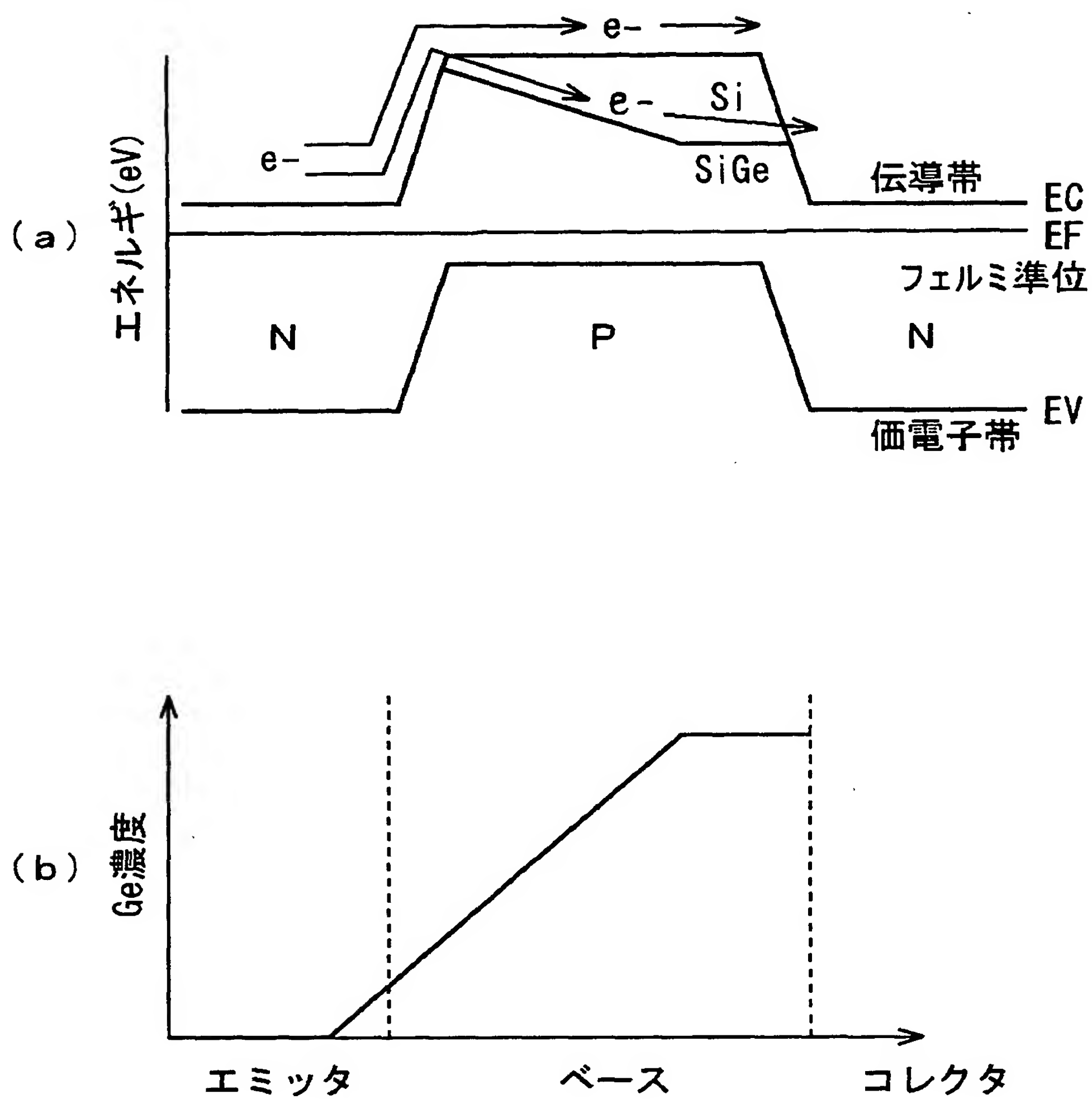
- 1 ; 半導体基板
- 2 ; n^+ 拡散領域
- 3 ; フィールド酸化膜
- 4 ; 活性領域
- 5 ; シリコン酸化膜
- 6 ; 多結晶シリコン膜
- 7 ; シリコン酸化膜
- 8 ; ベース開口部
- 9 ; SiGe 膜
- 9 a ; 底部
- 9 b ; 側壁部
- 1 0 ; ベース引き出し層
- 1 1 ; フォトレジスト
- 1 2 ; ベース
- 1 3 ; サイドウォール
- 1 4 ; エミッタ
- 1 5 ; 浅い結合

【書類名】 図面

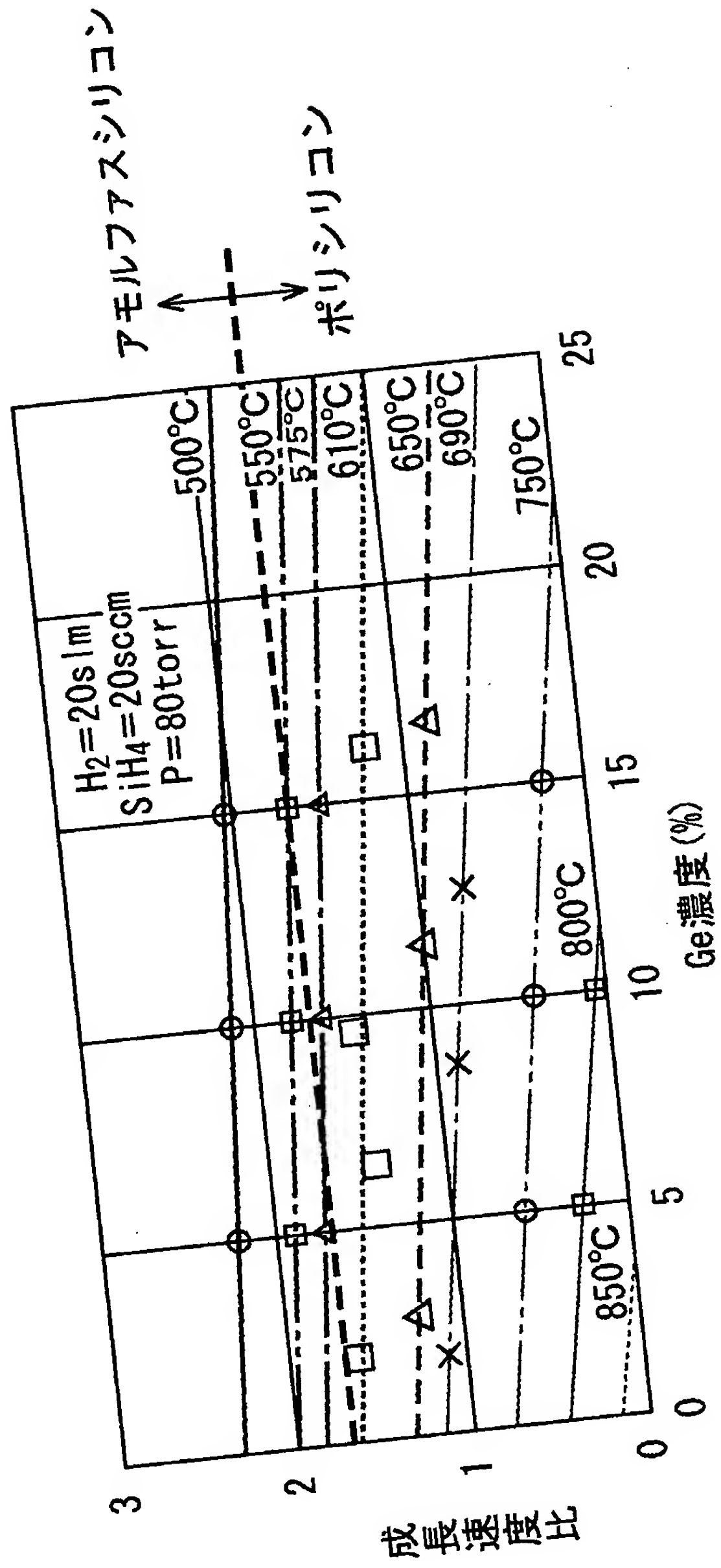
【図 1】



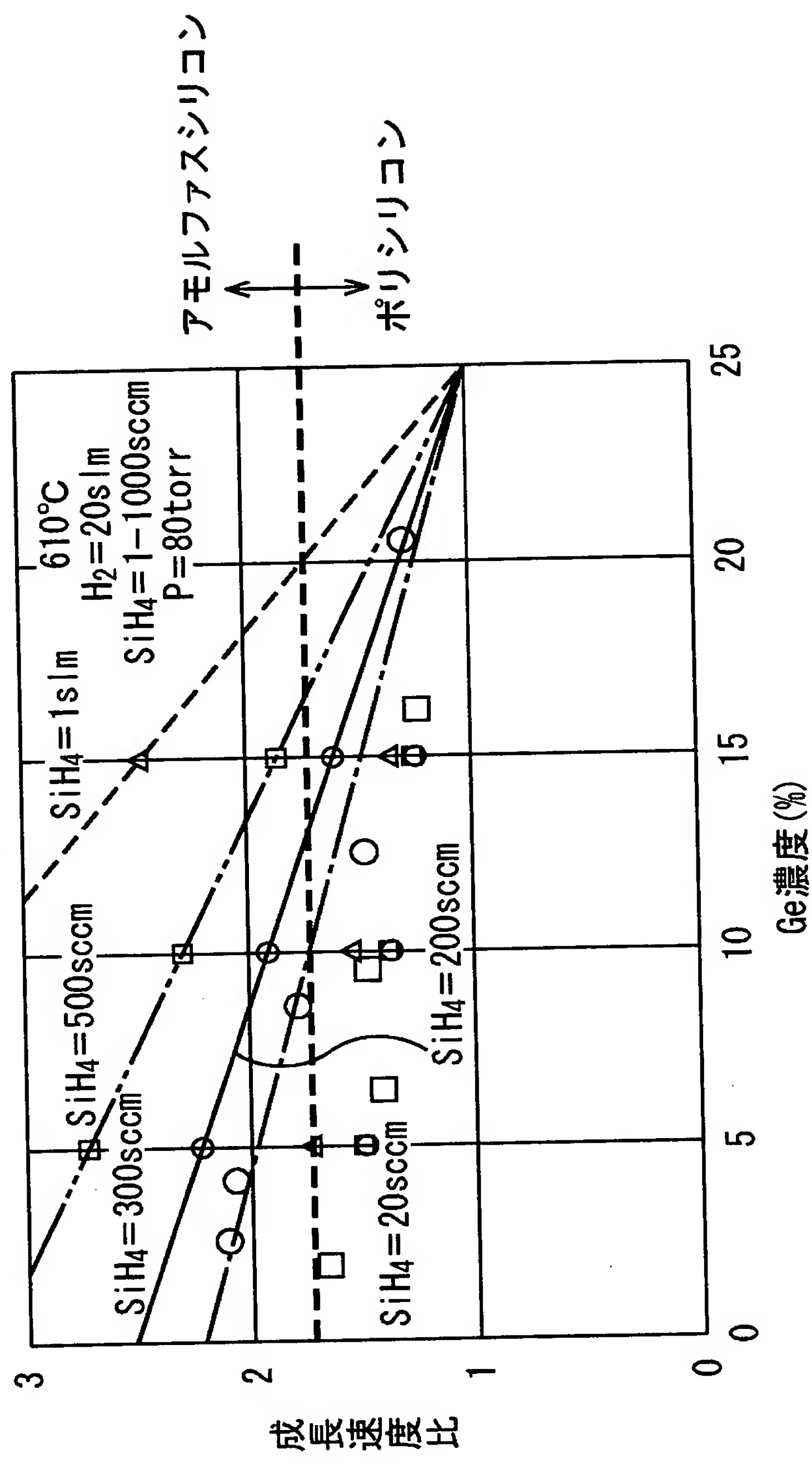
【図 2】



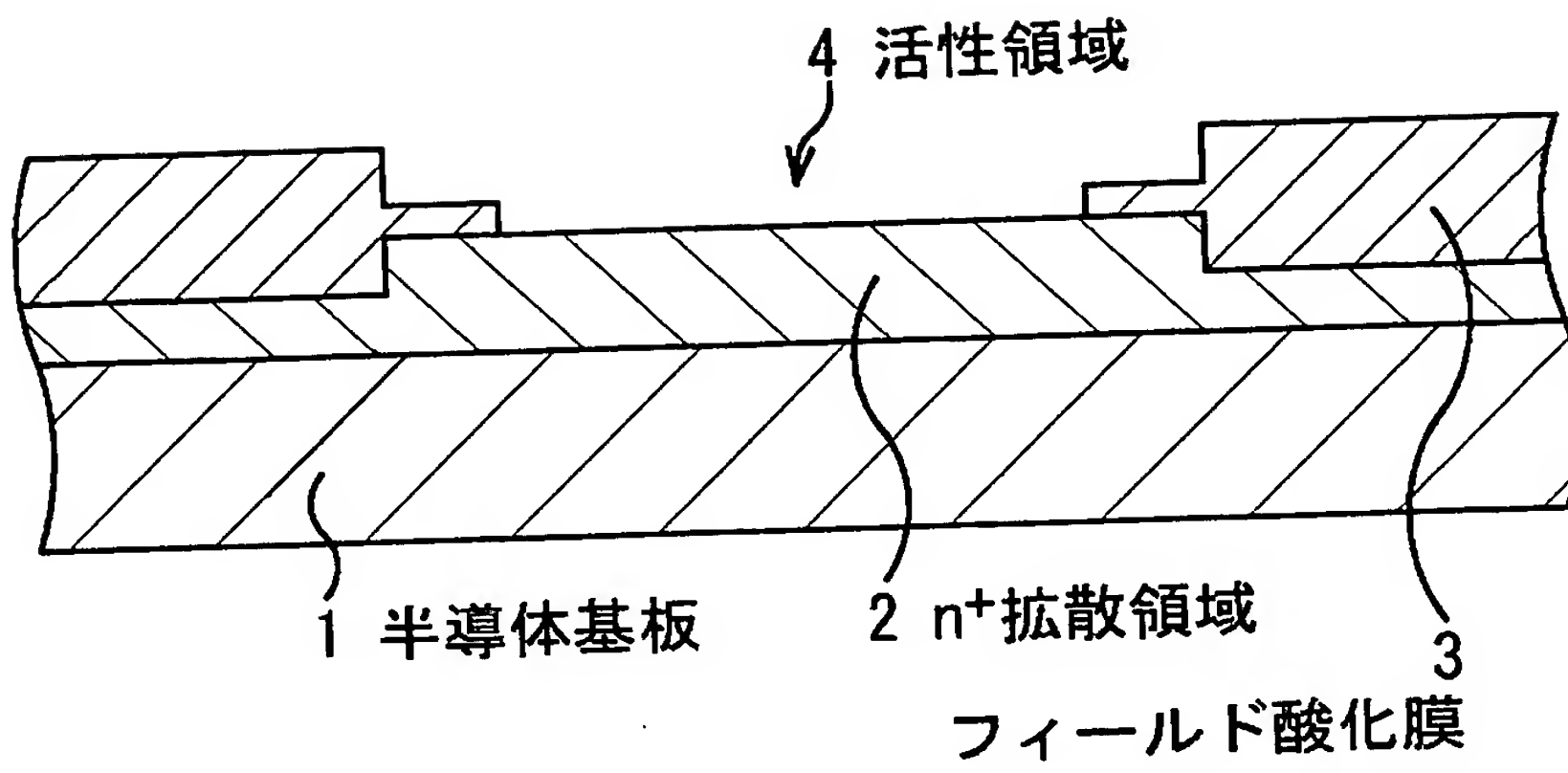
【図 3】



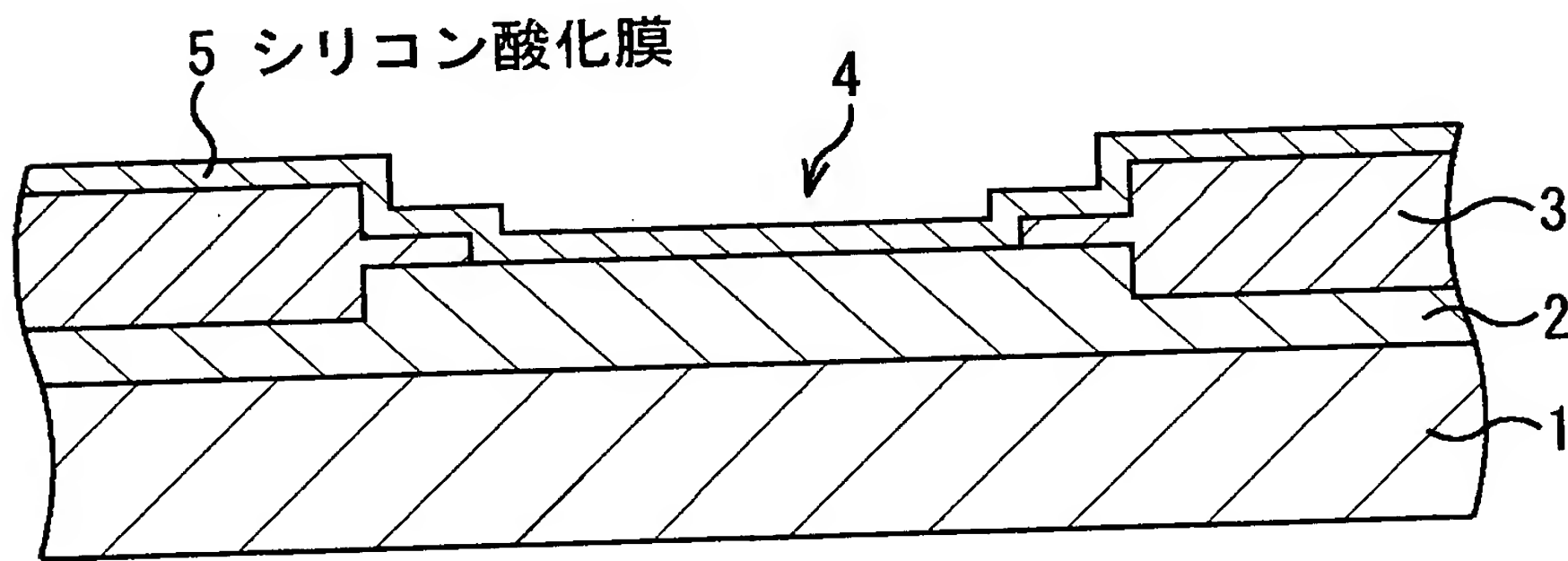
【図 4】



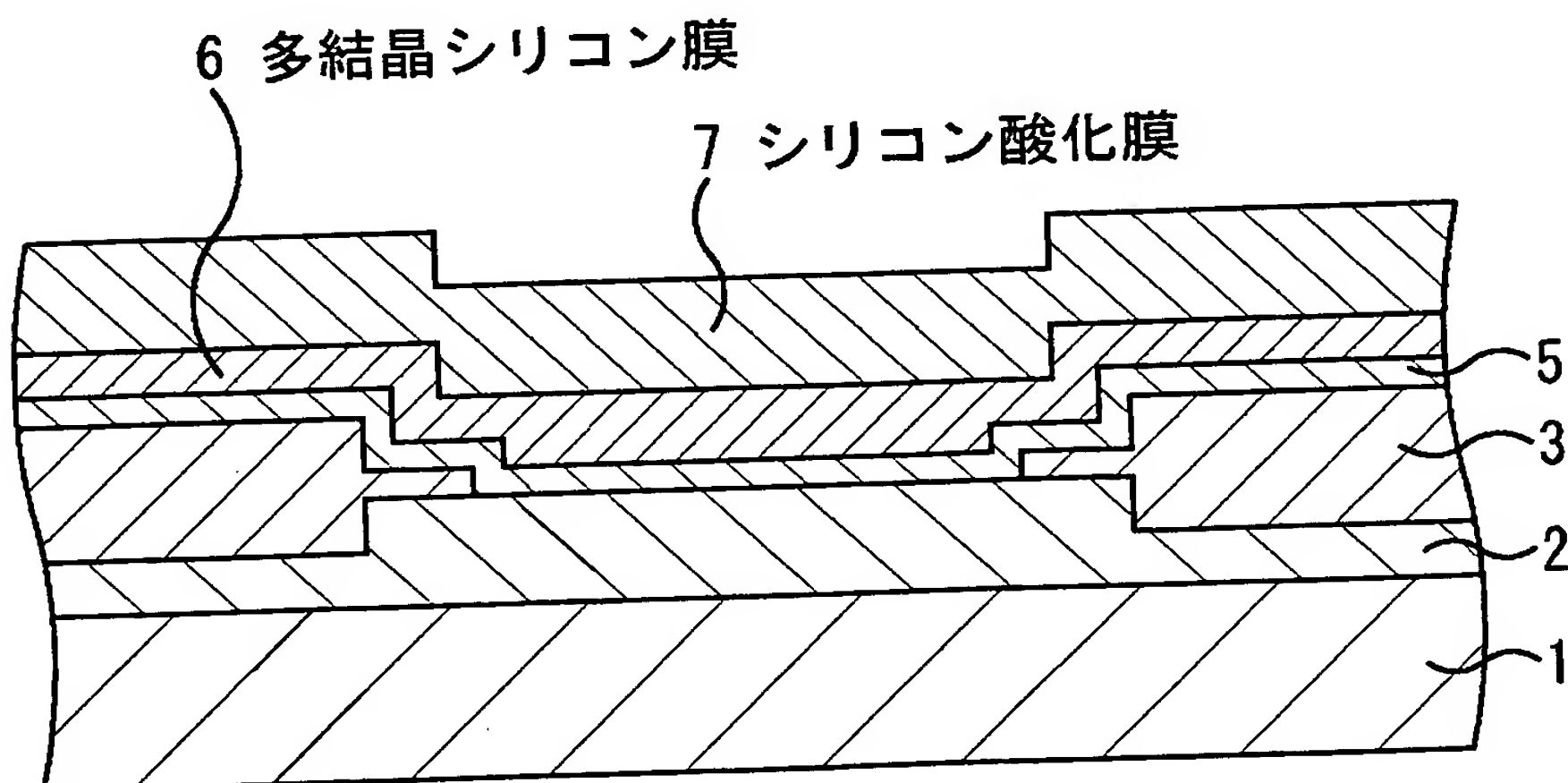
【図5】



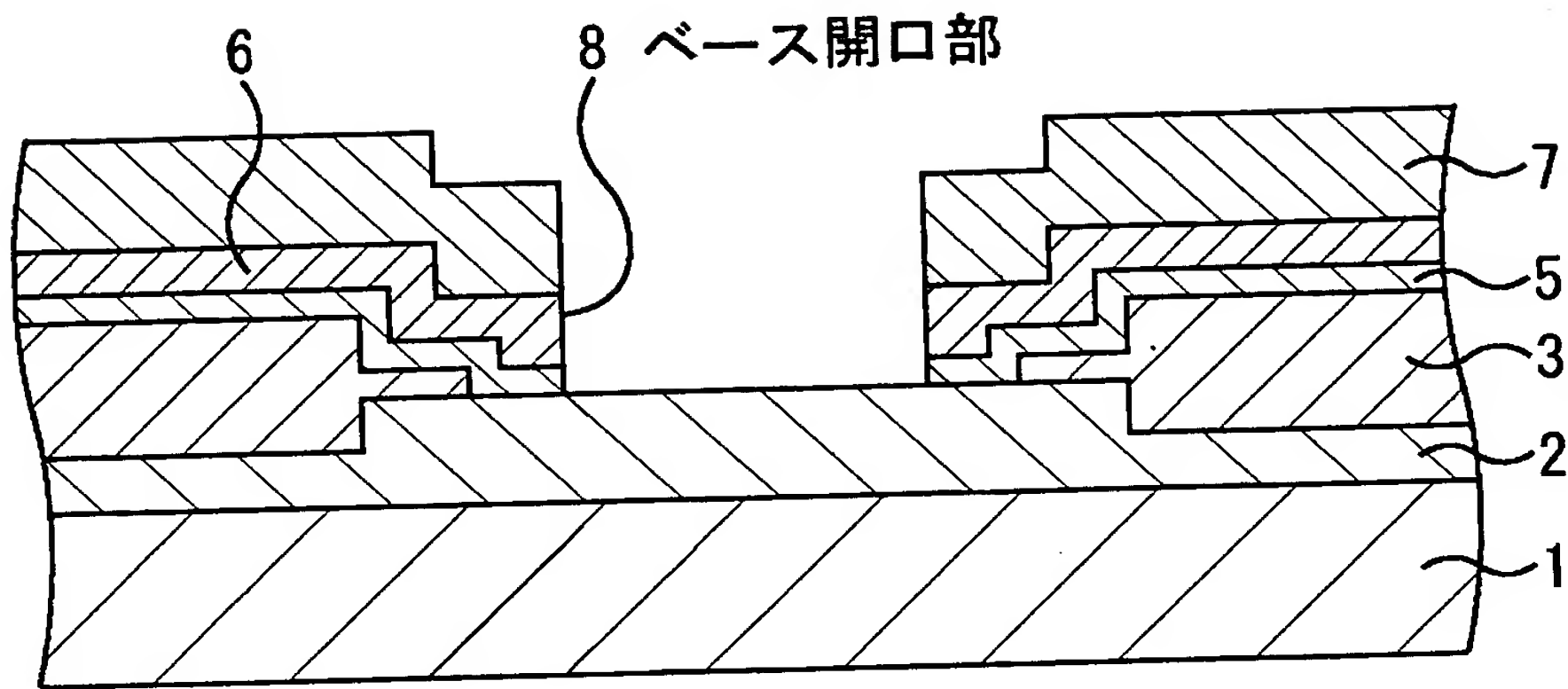
【図6】



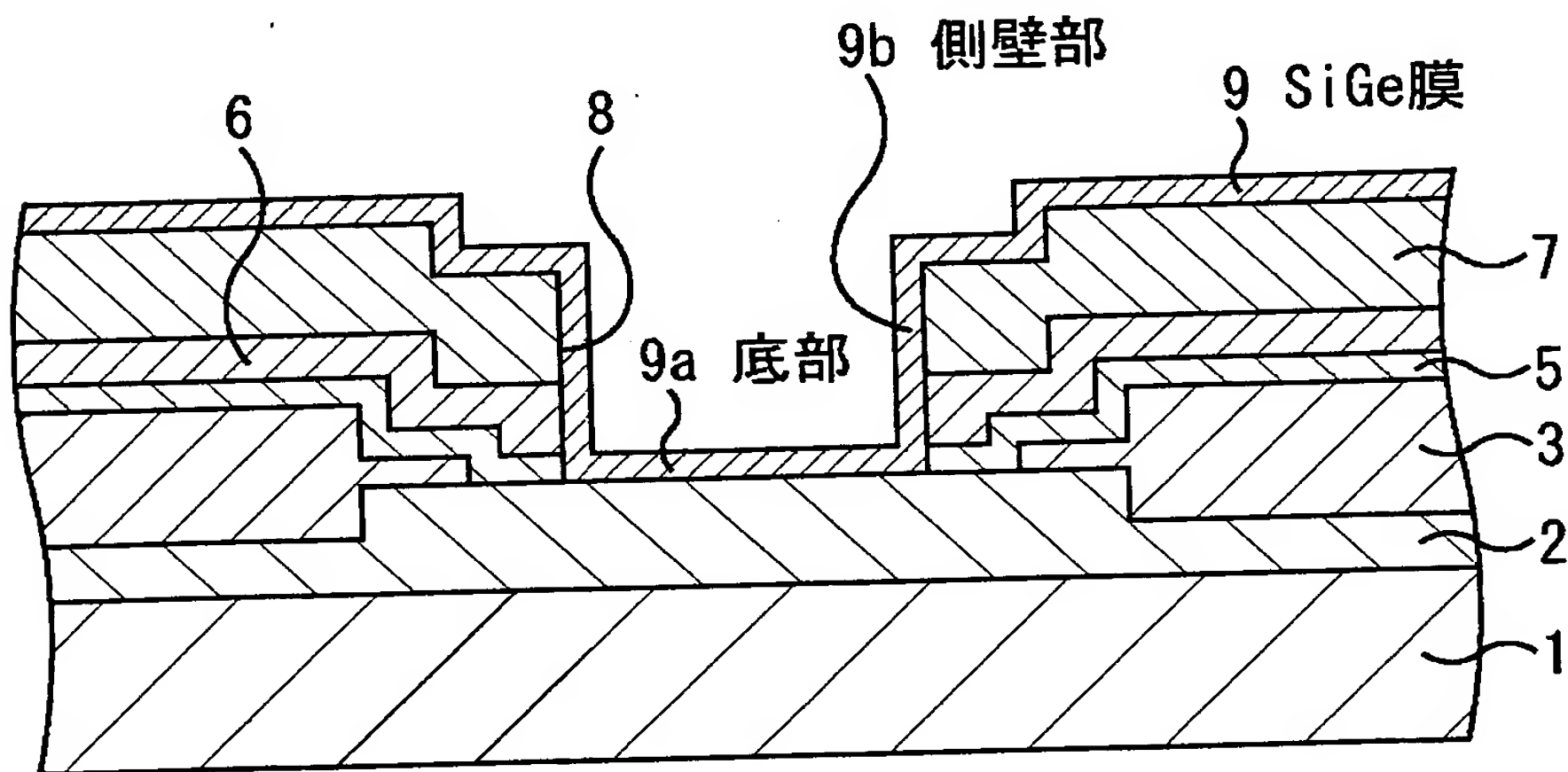
【図7】



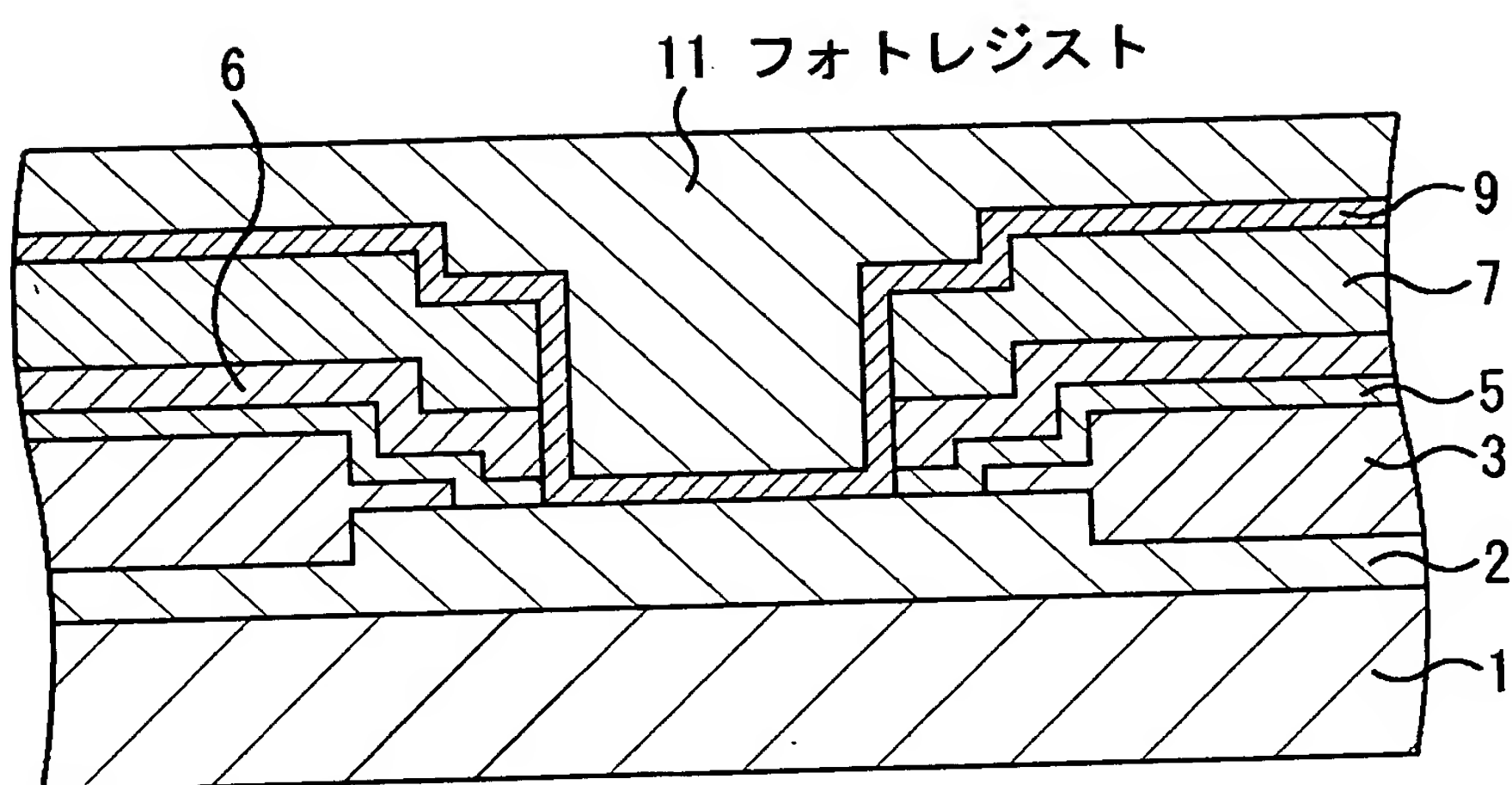
【図 8】



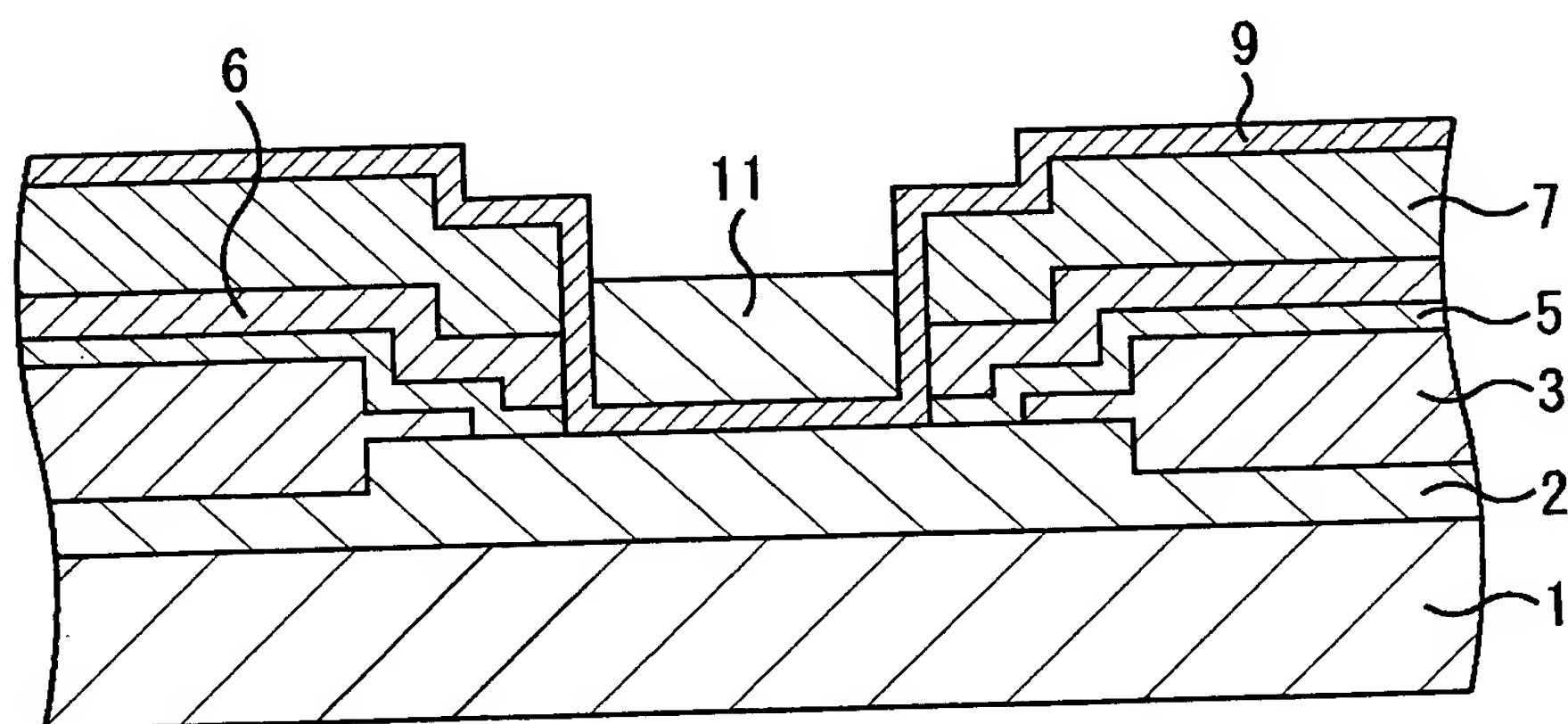
【図 9】



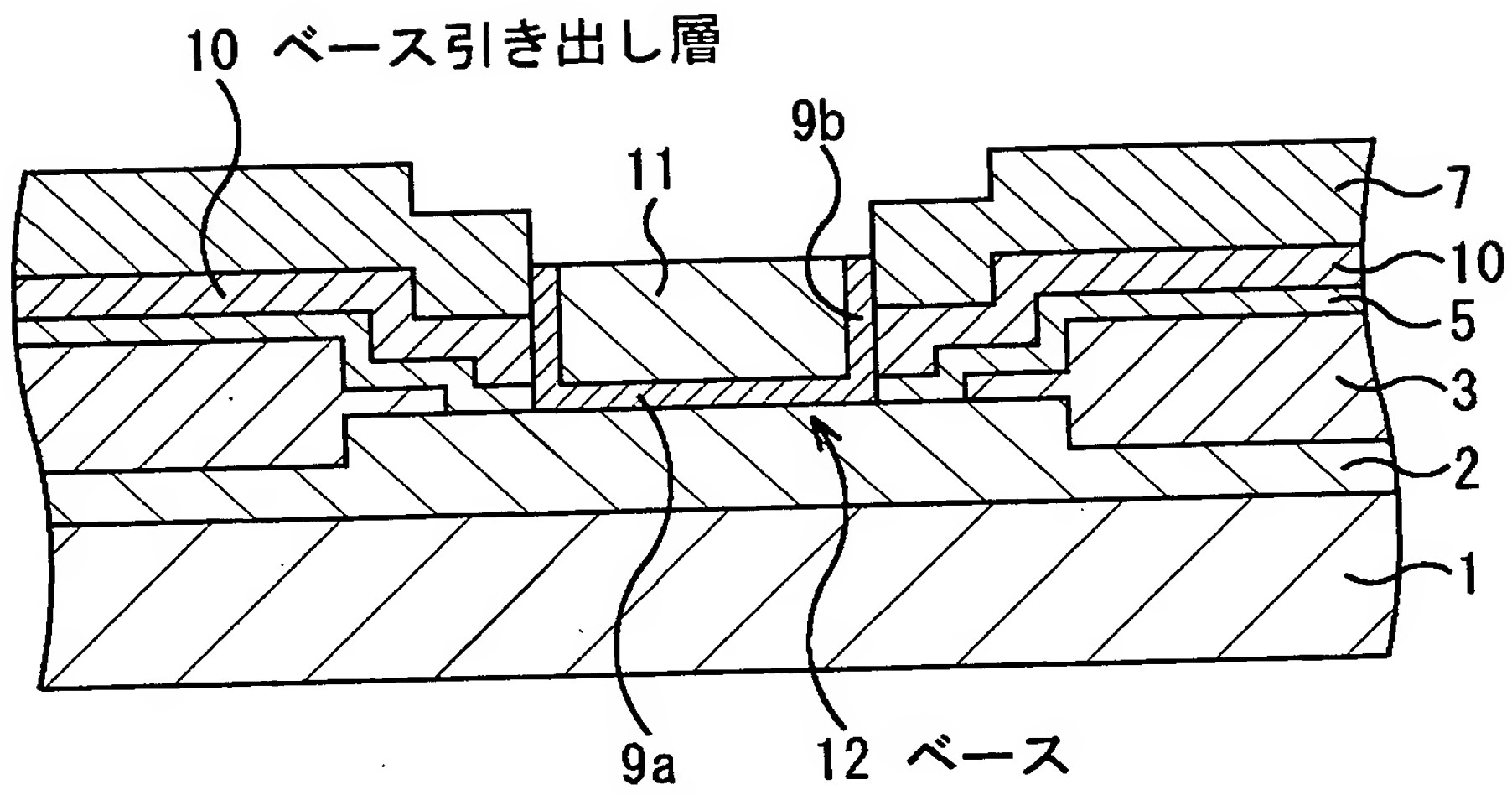
【図 1 0】



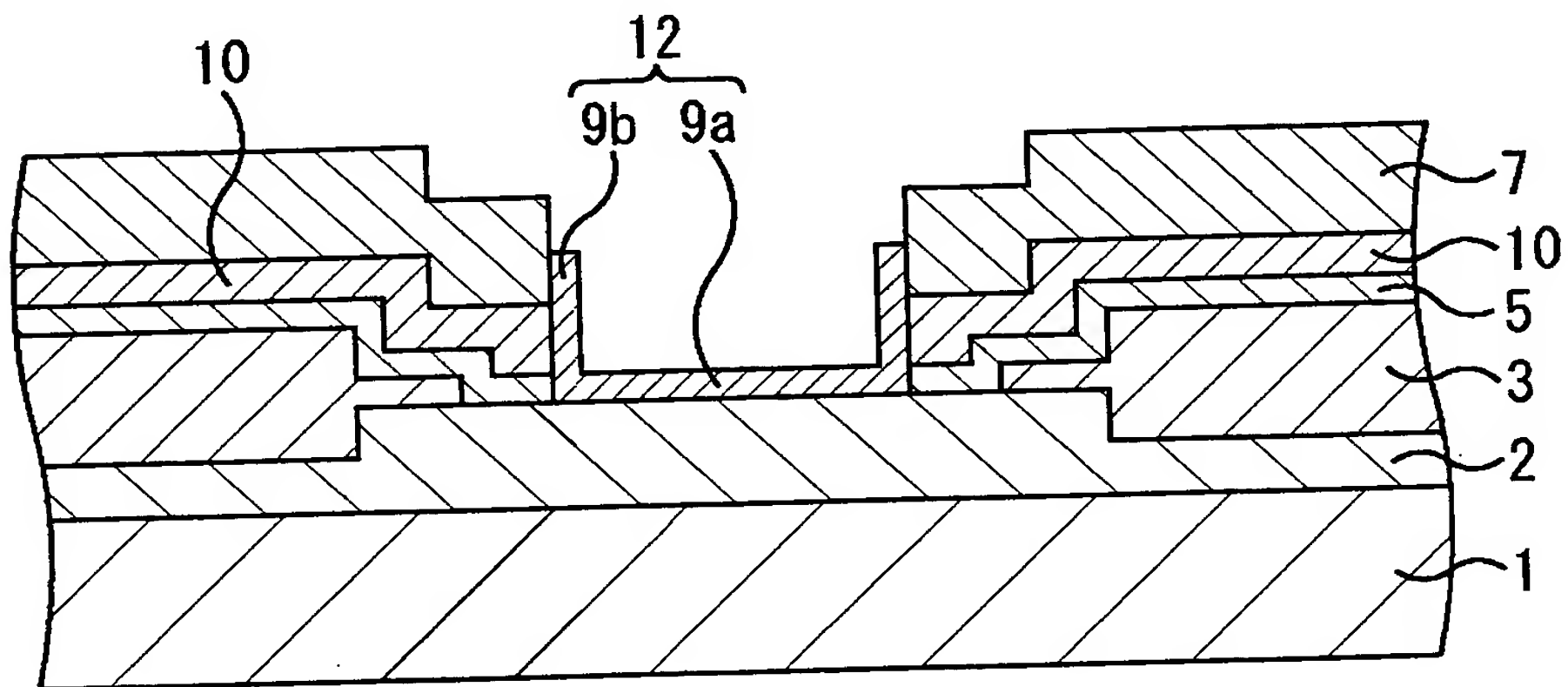
【図 1 1】



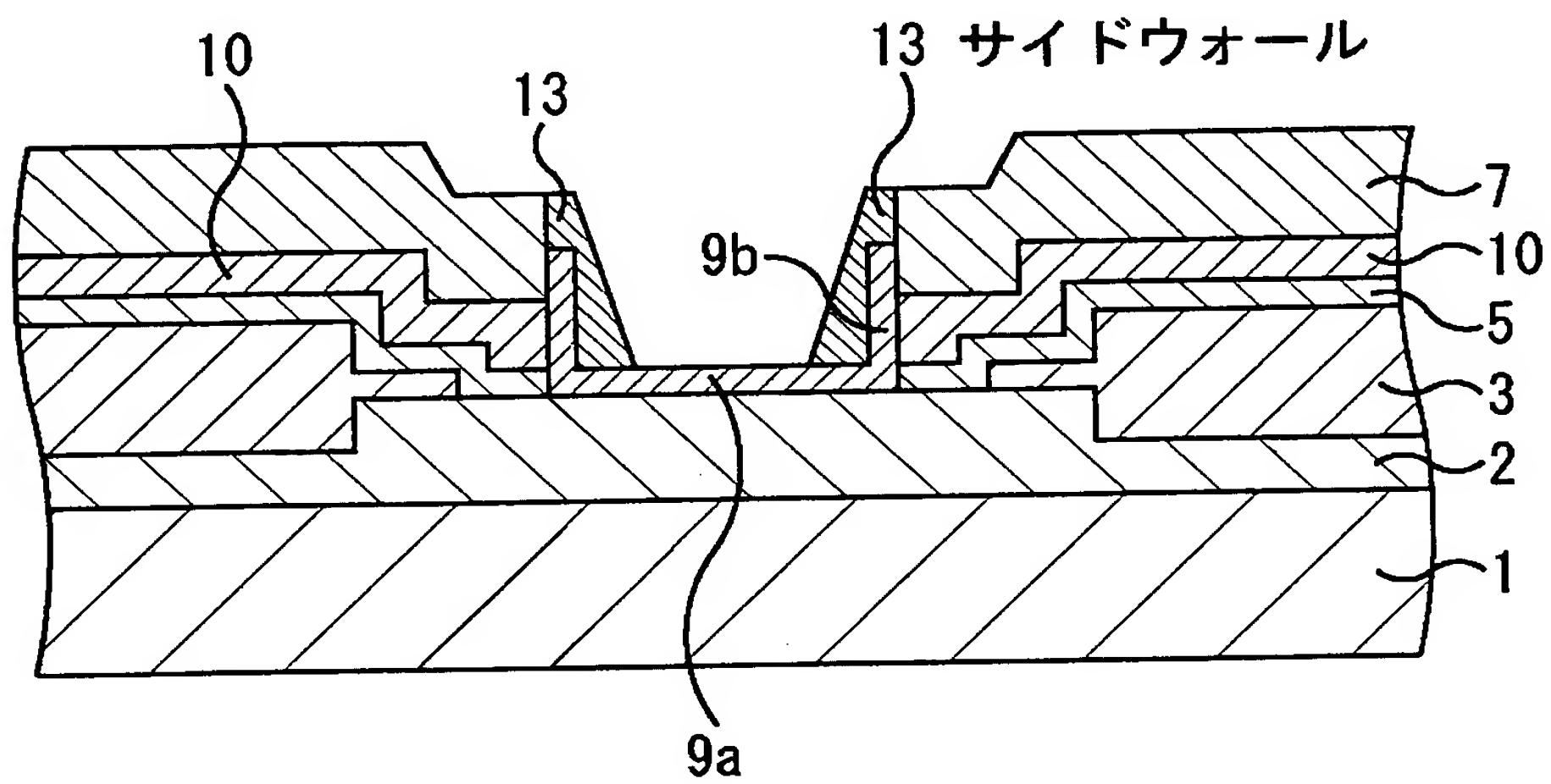
【図 1 2】



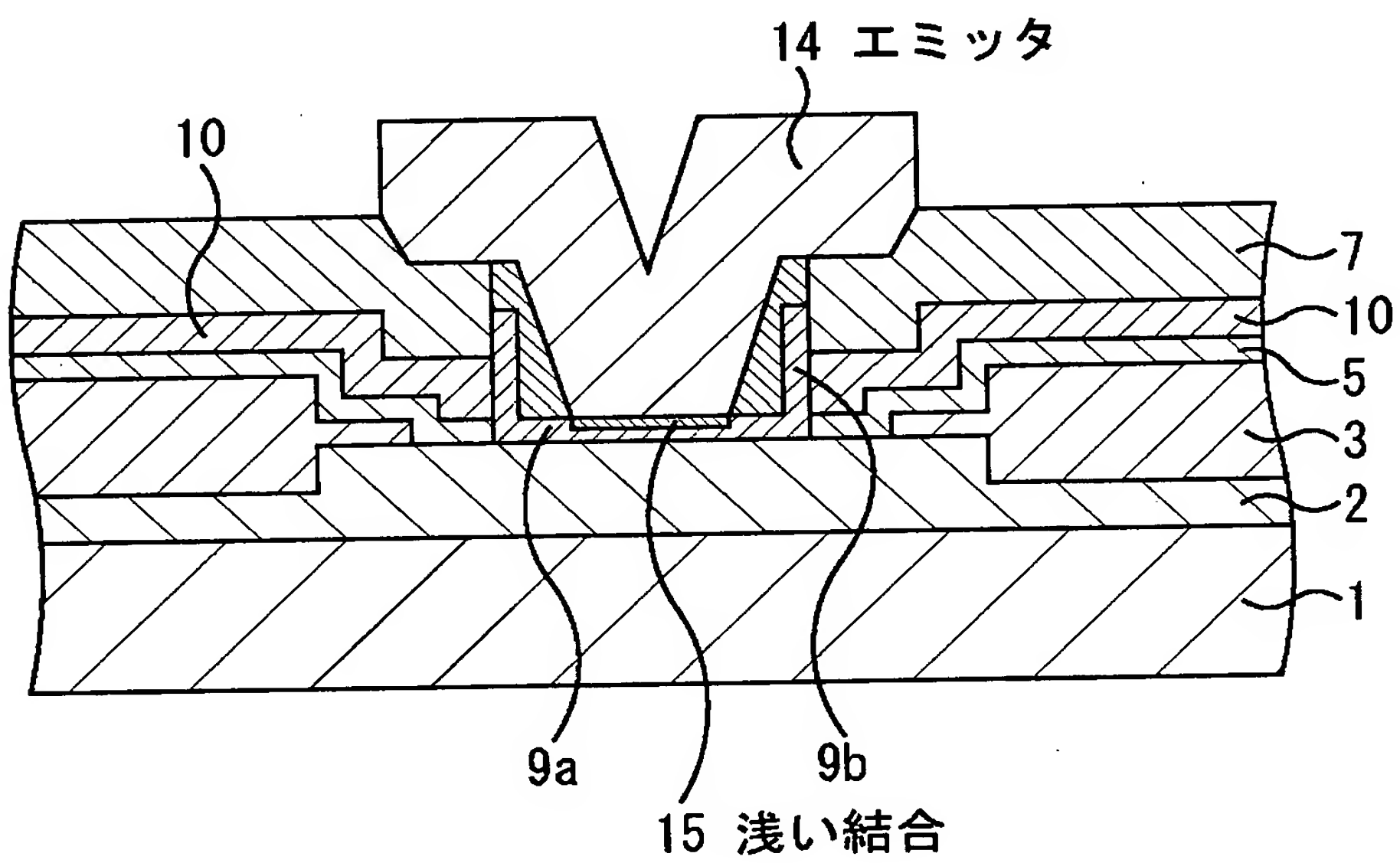
【図 1 3】



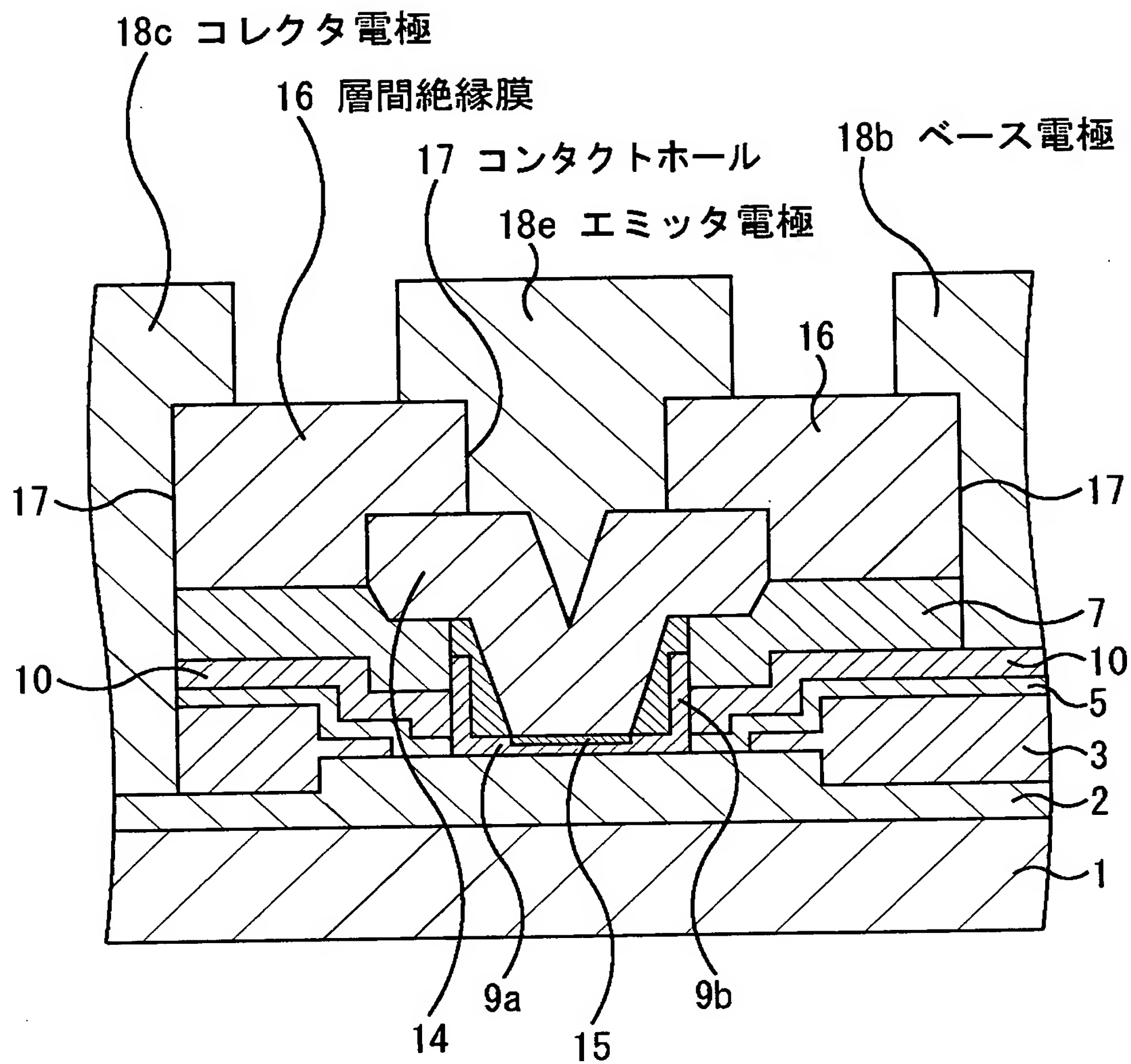
【図 1. 4】



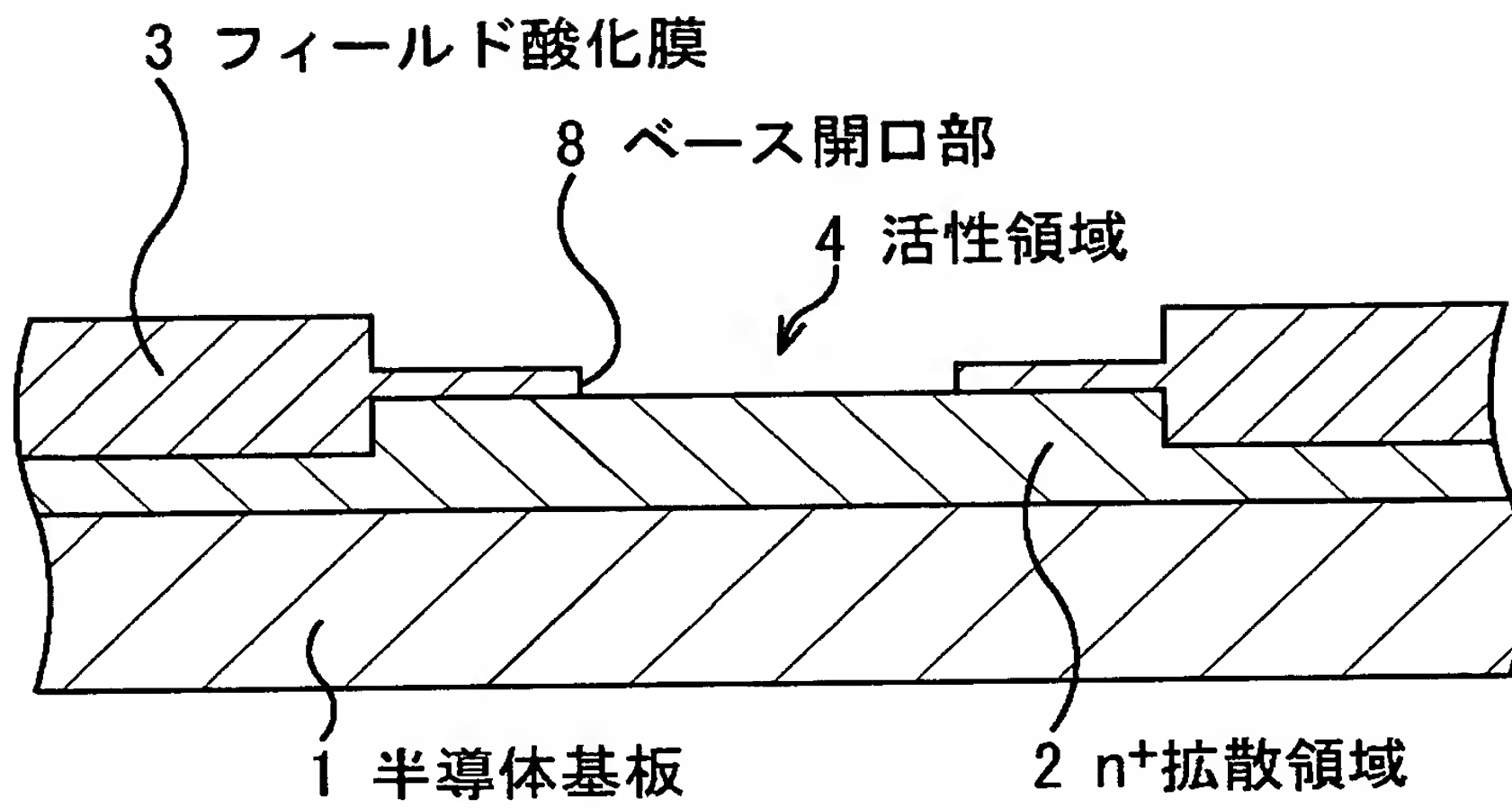
【図 1 5】



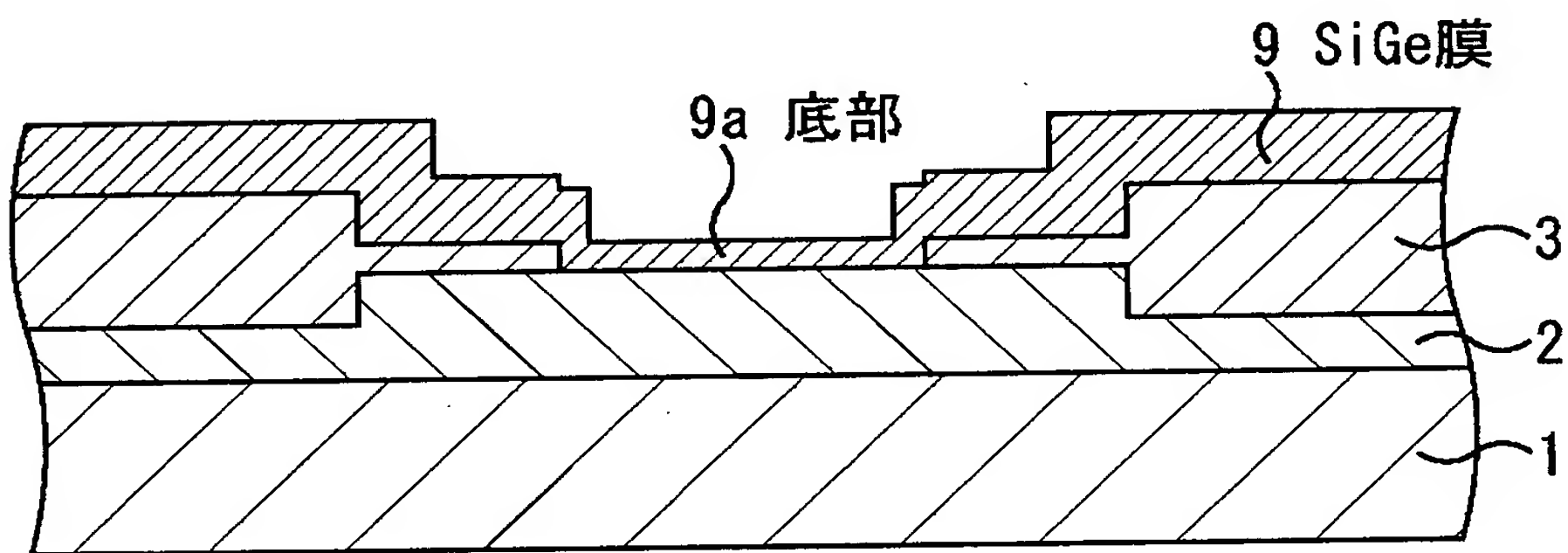
【図 1 6】



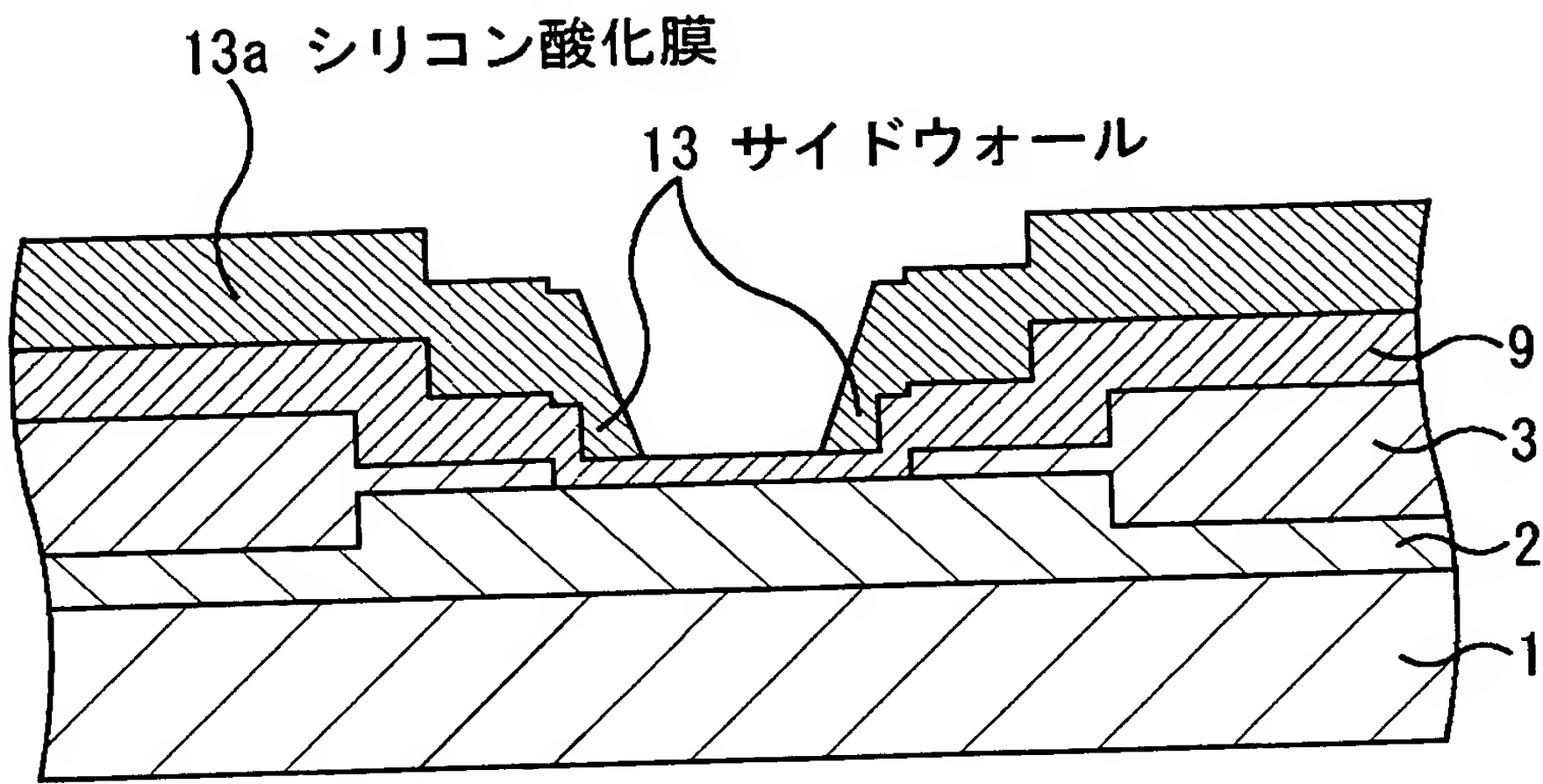
【図 1 7】



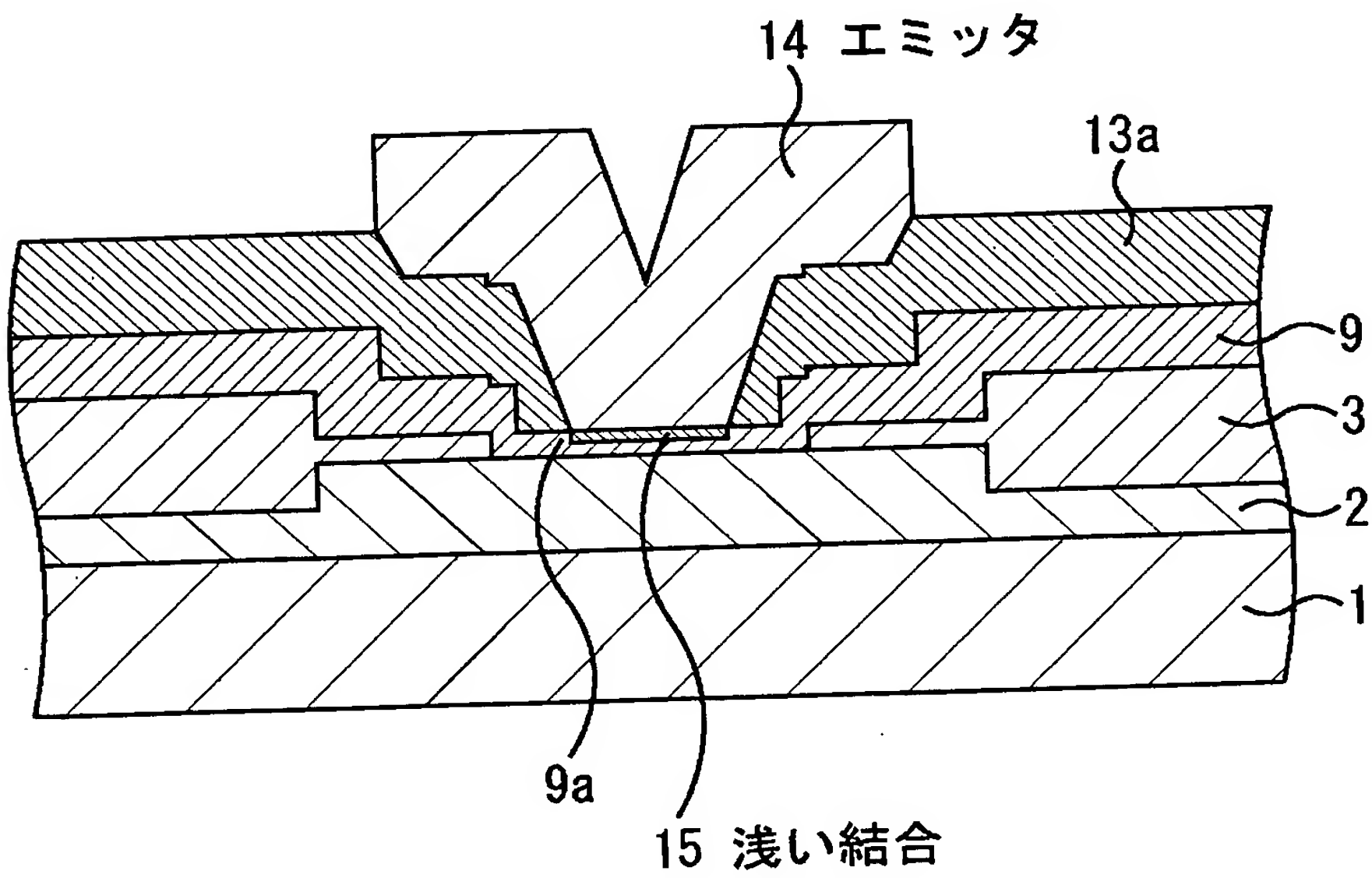
【図 1 8】



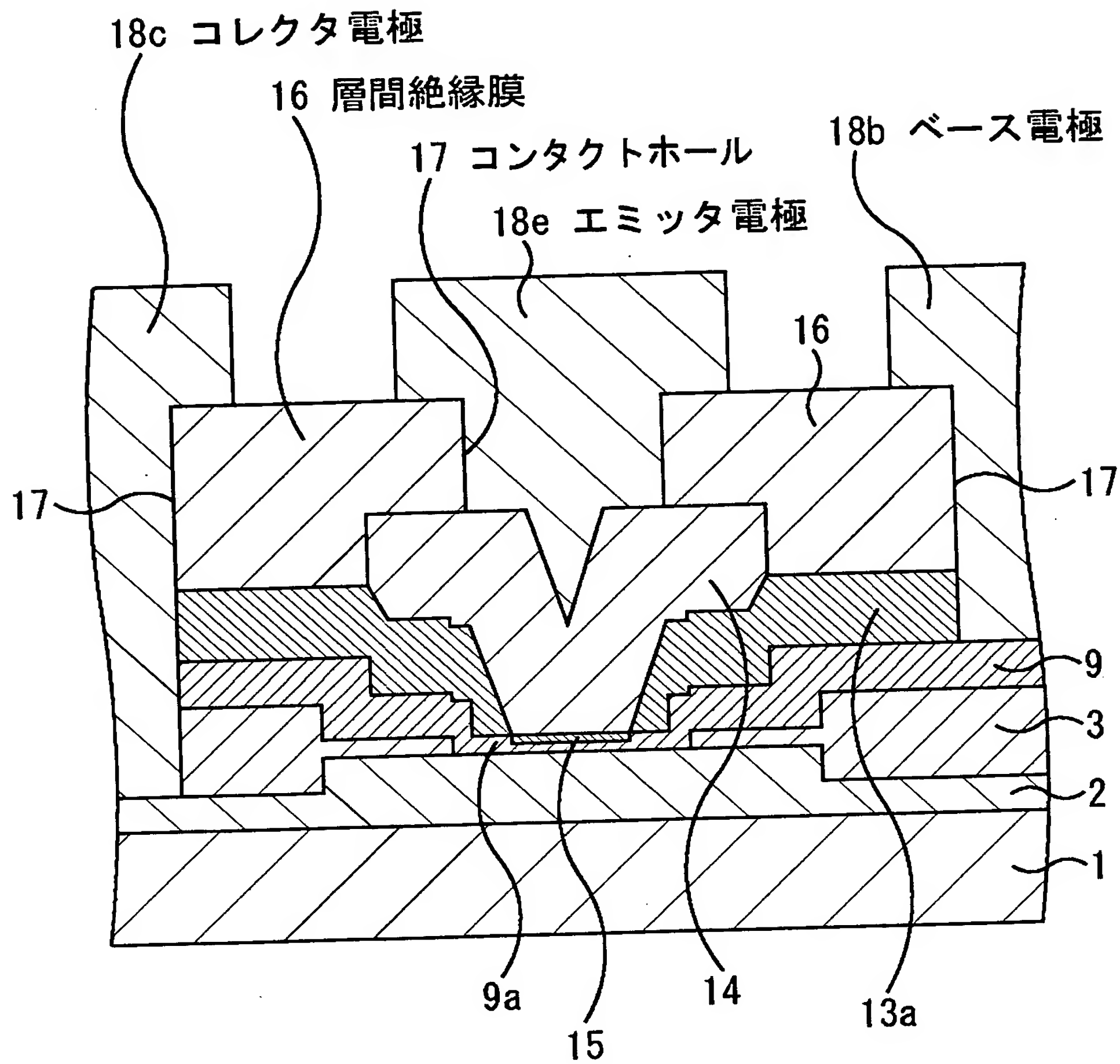
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 非選択エピタキシャル法により半導体層を形成しても、エミッタとベースとを確実に接続して高い信頼性を確保することができる半導体装置及びその製造方法を提供する。

【解決手段】 非選択エピタキシャル成長法により、ベース開口部 8 の内壁を覆うようにシリコン酸化膜 7 の全面に SiGe 膜 9 を成長させる。このときの成膜条件としては、ベース開口部 8 内において、底部 9 a が単結晶からなり、側壁部 9 b 等のその他の部位が多結晶となると共に、側壁部 9 b の膜厚が底部 9 a の膜厚の 1.5 倍以下になる成膜条件を選択する。このような非選択エピタキシャル成長では、原料ガスとして、モノシラン、水素、ジボラン及びゲルマンを用いる。このとき、モノシラン及び水素の各流量は、夫々 20 s c c m、20 s l m とする。また、成長温度を 650℃、ジボランの流量を 75 s c c m に設定し、ゲルマンの流量を 35 s c c m に設定する。

【選択図】 図 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社